

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-326626

(43)Date of publication of application : 22.11.2001

(51)Int.Cl. H04L 7/00
G06F 1/12
H03L 7/00

(21)Application number : 2001-073308 (71)Applicant : ALCATEL
(22)Date of filing : 15.03.2001 (72)Inventor : DIVE GEOFFREY

(30)Priority

Priority number : 2000 10013313 Priority date : 20.03.2000 Priority country : DE

(54) METHOD FOR SYNCHRONIZATION, MODULE AND PROGRAM MODULE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method that synchronizes a 1st module with at least one of 2nd modules and to provide a module for the method.

SOLUTION: Each of the 2nd modules MOD2 transmits a 2nd clock signal TS2 generated by a clock generator synchronously with a 1st clock signal TS1 to the 1st module MOD1, the 1st module MOD1 discriminates a time difference DIF1 between the 1st and 2nd clock signals, and the time difference value substantially indicates the transmission time difference of the 1st and 2nd clock signals between the 1st and 2nd modules. The 1st module transmits the item of information COR1DIF1, with respect to the 1st time difference DIF1 to the 2nd module MOD2 and the 2nd module MOD2, adjusts the clock generator on the basis of the information.

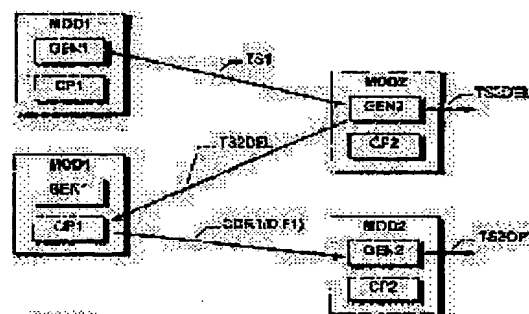


Fig. 1

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The method for synchronizing (MOD1, MOD2) with the 1st module and 2nd at least one module which are characterized by providing the following and which have a clock generation machine (GEN1, GEN2), respectively The step which transmits the 1st clock signal (TS1) generated by the clock generation machine (GEN1) of the 1st module (MOD1) to 2nd at least one module (MOD2) with the 1st module (MOD1) The step which synchronizes the clock generation machine (GEN2) of 2nd at least one module (MOD2) with the 1st clock signal (TS1) The step which transmits the 2nd clock signal (TS2) generated by the clock generation machine (GEN2) which synchronizes with the 1st clock signal (TS1) to the 1st module (MOD1) with 2nd at least one module (MOD2) It is the step which, therefore (MOD1), determines the time difference value (the 1st) (DIF1) between the 1st clock signal (TS1) and 2nd at least one clock signal (TS2) as the 1st module. A time difference value is what is depended on the air time of the 1st clock signal (TS1) between the 1st module (MOD1) and 2nd at least one module (MOD2), and 2nd at least one clock signal (TS2) substantially. (The 1st) The item of the step which determines a time difference value (DIF1), and the

information (COR1 (DIF1)) about a time difference value (the 1st) (DIF1) The step transmitted to 2nd at least one module (MOD2) with the 1st module (MOD1), (The 1st) The step which adjusts the clock generation machine (GEN2) of 2nd at least one module (MOD2) based on the information (COR1 (DIF1)) about a time difference value (DIF1)

[Claim 2] The method according to claim 1 by which a time difference value (the 1st) (DIF1) is made into a half in order to adjust the clock generation machine (GEN2) of 2nd at least one module (MOD2).

[Claim 3] 2nd at least one module (MOD2) -- the [the 1st clock signal and] -- 2 clock signals (TS2) to the 2nd hour difference value (DIF2) -- determining -- the above -- the method according to claim 1 of transmitting the item of the information concerning [the 2nd one module (MOD2)] the 2nd hour difference value (DIF2) even if few to the 1st module (MOD1)

[Claim 4] The way according to claim 1 the 1st module (MOD1) transmits especially periodically the 1st clock signal (TS1) generated by the clock generation machine (GEN1) of this 1st module (MOD1) to 2nd at least one module (MOD2) at a predetermined moment.

[Claim 5] The 1st module (MOD1) the 1st clock signal (TS1) generated by the clock generation machine (GEN1) of this 1st module (MOD1) 2nd at least one module

(MOD2) -- a predetermined time interval -- retransmitting a message -- the above -- the 2nd one module (MOD2), even if few the [the 1st clock signal and] -- 2 clock signals (TS2) to the 2nd hour difference value (DIF2) -- determining -- the above -- the 2nd one module (MOD2), even if few Each 2nd hour difference value (DIF2) is transmitted to the 1st module (MOD1). And/ or the case where each 2nd hour difference value (DIF2) has deviated from the predetermined value (DIF1) -- the above -- the 2nd one module (MOD2), even if few The method according to claim 1 of adjusting the clock generation machine (GEN2) of this 2nd module (MOD2) based on each 2nd hour difference value (DIF2).

[Claim 6] 2nd at least one module (MOD2) the 2nd clock signal (TS2) generated by the clock generation machine (GEN2) of this 2nd module (MOD2) It retransmits a message by the predetermined time interval to the 1st module (MOD1). the 1st module (MOD1) of the above The 1st hour difference value (DIF1) is determined from the 1st clock signal (TS1) and each 2nd clock signal (TS2) which received. When each 1st hour difference value (DIF1) has deviated from the predetermined value, the 1st module (MOD1) of the above The item of the information (COR1 (DIF1)) about each 1st hour difference value (DIF1) 2nd at least one module (MOD2) -- transmitting -- the above -- the 2nd one

module (MOD2), even if few The method according to claim 1 of adjusting the clock generation machine (GEN2) of this 2nd module (MOD2) based on the information about each 1st hour difference value (DIF1).

[Claim 7] The module which has the 1st clock generation machine (GEN1) for synchronizing with 2nd at least one module which is characterized by providing the following, and which has the 2nd clock generation machine (GEN2) (the 1st) The transmitting means for transmitting the 1st clock signal (TS1) generated by the 1st clock generation machine (GEN1) to 2nd at least one module (MOD2) (SND11, SND12) The receiving means for receiving 2nd at least one clock signal (TS2) which was generated with each 2nd clock generation vessel (GEN2), synchronized with the 1st clock signal (TS1), and was transmitted by 2nd at least one module (MOD2) (RCV11, RCV12) It is a generating means (CP1) for forming the time difference value (the 1st) (DIF1) between the 1st clock signal (TS1) and 2nd at least one clock signal (TS2). Substantially a time difference value Between the 1st module (MOD1) and 2nd at least one module (MOD2), It is what is depended on the air time of the 1st clock signal (TS1) and 2nd at least one clock signal (TS2). It has the generating means (CP1). the aforementioned transmitting means (SND11, SND12) (The 1st) The 2nd clock

generation machine constituted so that the item of the information (COR1 (DIF1)) about a time difference value (DIF1) may be transmitted to 2nd at least one module (MOD2) (GEN2)

[Claim 8] The module which has the clock generation machine (GEN2) for synchronizing with 1st at least one module (MOD1) characterized by providing the following (the 2nd) The receiving means for receiving the 1st clock signal (TS1) transmitted by the 1st module (RCV21, RCV22) The synchronous means for synchronizing the clock generation machine (GEN2) of the 2nd module based on the 1st clock signal (TS1) (GEN2) The 1st clock signal (TS1) and the 2nd clock signal (TS2) which synchronizes It has the transmitting means (SND21, SND22) for transmitting to the 1st module (MOD1). the aforementioned receiving means (RCV21, RCV22) It is constituted so that the item of the information (COR1 (DIF1)) about the time difference value (DIF1) which was transmitted by the 1st module and in which is attained to the 1st clock signal (TS1), and it is formed from the 2nd clock signal (TS2) (the 1st) may be received. a time difference value substantially Between the 1st module (MOD1) and 2nd at least one module (MOD2), It is what is depended on the air time of the 1st clock signal (TS1) and 2nd at least one clock signal (TS2). the aforementioned synchronous means (GEN2) (The 1st) The

clock generation machine for synchronizing with 1st at least one module (MOD1) constituted so that a clock generation machine (GEN2) may be adjusted based on the information about a time difference value (DIF1) (GEN2)

[Claim 9] The master program module for the module which has the 1st clock generation machine (GEN1) for synchronizing with 2nd at least one module which is characterized by providing the following, and which has the 2nd clock generation machine (GEN2) (the 1st) The transmitting means for the program code which can operate by the control means of the 1st module (MOD1) being included, and transmitting further the 1st clock signal (TS1) generated by the 1st clock generation machine (GEN1) to 2nd at least one module (MOD2) The receiving means for receiving 2nd at least one clock signal which synchronizes with the 1st clock signal (TS1), and is transmitted by 2nd at least one module (MOD2) and which was generated by the 2nd clock generation machine (GEN2) It is a generating means for forming the time difference value (the 1st) (DIF1) between the 1st clock signal (TS1) and 2nd at least one clock signal (TS2). a time difference value Substantially Between the 1st module (MOD1) and 2nd at least one module (MOD2), It has the generating means which is what is depended on the air time of the 1st clock signal (TS1) and 2nd at least one clock

signal (TS2). the aforementioned transmitting means (The 1st) The 2nd clock generation machine constituted so that the item of the information about a time difference value (DIF1) may be transmitted to 2nd at least one module (MOD2) (GEN2)

[Claim 10] The slave program module for the module which has the clock generation machine (CPU3) for synchronizing with 1st at least one module characterized by providing the following (the 2nd) The receiving means for the program code which can operate by the control means (CPU3) of the 2nd module being included, and receiving further the 1st clock signal transmitted by the 1st module The synchronous means for synchronizing a clock generation machine (CPU3) based on the 1st clock signal (TS1) It has the transmitting means for transmitting the 1st clock signal (TS1) and the 2nd clock signal (TS3) which synchronizes to the 1st module (MOD1). the aforementioned receiving means It is constituted so that the item of the information about the time difference value (DIF1) which was transmitted by the 1st module and in which is attained to the 1st clock signal (TS1), and it is formed from the 2nd clock signal (TS3) (the 1st) may be received. Substantially a time difference value Between the 1st module (MOD1) and 2nd at least one module (MOD3), It is what is depended on the air time of the 1st clock

signal (TS1) and 2nd at least one clock signal (TS3). the aforementioned synchronous means (The 1st) The clock generation machine for synchronizing with 1st at least one module constituted so that a clock generation machine (CPU3) may be adjusted based on the information about a time difference value (DIF1) (CPU3)

[Claim 11] 1st at least one module and 2nd at least one module which have a clock generation machine (GEN1, GEN2), respectively, and the device containing (MOD1, MOD2), especially -- a communication device -- it is -- the above -- even if few, the 1st one module (MOD1) is constituted as a module according to claim 7 -- having -- **** -- the above -- the device which the 2nd one module (MOD2) consists of as a module according to claim 8 even if few

[Claim 12] A memory means by which the master program module by the claim 9 and/or the slave program module by the claim 10 are stored, especially a computer-readable diskette.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the method for synchronizing the 1st module and 2nd at least one module which have a clock generation machine, respectively.

[0002]

[Description of the Prior Art] in the field of communication and computer technology, frequently, the device assembly needed for operation cannot be arranged to one electronic printed circuit board, but has the need of distributing separate two or more modules which have one or more printed circuit boards, respectively. In the case of communication system, a redundant module is also especially used for fail-safe. Since a module synchronizes and it operates, the central timing signal, i.e., the signal known also as a "clock signal", is supplied to the module. It is generated with a central clock generation vessel, and such a central clock signal is transmitted to a module. For example, for transmission, the clock channel of a bus is prepared and it connects with the module. A module is whether it operates by the clock signal which comes to hand from a direct bus, or to synchronize with a central clock signal the individual local clock generation machine which exists on each module. Although a local clock generation machine generates a local clock signal, respectively in the case of the latter, signal [the] has phase contrast from a central clock signal somewhat, and the phase contrast is for the pass time of the central clock signal on a bus.

[0003] In the case of the high precision device which is operating by the high clock frequency (for example, the case of

the so-called cross connection of SDH transmitting technology (SDH:synchronous digital hierarchy)), this phase contrast has caused trouble to the precision of a device until now. And when the module of a device is not operating by suitable synchronization any longer, the message which the module is exchanging through an above-mentioned bus mutually will catch up with data.

[0004] The software module is having a dialog in the state of real time, and when managed by the individual operating system which has a local clock generation machine, respectively in each case, it may generate for the pass time of the central clock signal at the time of the asynchronous state of being blocked distributing a central clock signal to each operating system.

[0005]

[Problem(s) to be Solved by the Invention] Therefore, the purpose of this invention is synchronizing the high precision module with which each has a local clock generation machine.

[0006]

[Means for Solving the Problem] This purpose is a method for synchronizing the 1st module and 2nd at least one module which have a clock generation machine, respectively. The 1st clock signal generated by the clock generation machine of the 1st module with the 1st module The step transmitted to 2nd at

least one module, and the step which synchronizes the clock generation machine of 2nd at least one module with the 1st clock signal, The 2nd clock signal generated by the clock generation machine which synchronizes with the 1st clock signal with 2nd at least one module They are the step transmitted to the 1st module, and the step which determines the time difference value (the 1st) between the 1st clock signal and 2nd at least one clock signal with the 1st module. The step which determines the time difference value (the 1st) which is what depends the time difference value on the air time of the 1st clock signal and 2nd at least one clock signal between the 1st module and 2nd at least one module substantially, The item of the information about a time difference value (The 1st) With the 1st module It is attained by the method containing the step transmitted to 2nd at least one module, and the step which adjusts the clock generation machine of 2nd at least one module based on the information about a time difference value (the 1st).

[0007] In other modes of this invention, this purpose is a module which has the 1st clock generation machine for synchronizing with 2nd at least one module which has the 2nd clock generation machine (the 1st). The transmitting means for transmitting the 1st clock signal generated by the 1st clock generation machine to 2nd at least one

module, The receiving means for receiving 2nd at least one clock signal which was generated with each 2nd clock generation vessel, synchronized with the 1st clock signal, and was transmitted by 2nd at least one module, It is a generating means for forming the time difference value (the 1st) between the 1st clock signal and 2nd at least one clock signal. the time difference value Substantially Between the 1st module and 2nd at least one module, It has the generating means which is what is depended on the air time of the 1st clock signal and 2nd at least one clock signal. a transmitting means (The 1st) It is attained by the module which has the 1st clock generation machine for synchronizing with 2nd at least one module which is constituted so that the item of the information about a time difference value may be transmitted to 2nd at least one module, and which has the 2nd clock generation machine (the 1st).

[0008] In the mode of further others of this invention, this purpose is a module which has a clock generation machine for synchronizing with 1st at least one module (the 2nd). The receiving means for receiving the 1st clock signal transmitted by the 1st module, The synchronous means for synchronizing a clock generation machine based on the 1st clock signal, It has the transmitting means for transmitting the 1st clock

signal and the 2nd clock signal which synchronizes to the 1st module. a receiving means It is constituted so that the item of the information about the time difference value in which it is formed from 2 clock signals (the 1st) may be received. the [which was transmitted by the 1st module / the 1st clock signal and] -- Substantially the time difference value Between the 1st module and 2nd at least one module, It is what is depended on the air time of the 1st clock signal and 2nd at least one clock signal. a synchronous means (The 1st) It is attained by the module which has the clock generation machine for synchronizing with 1st at least one module constituted so that a clock generation machine may be adjusted (the 2nd) based on the information about a time difference value.

[0009] In the mode of further others of this invention, this purpose is a master program module for the module which has the 1st clock generation machine for synchronizing with 2nd at least one module which has the 2nd clock generation machine (the 1st). The program code which can operate by the control means of the 1st module is included. further a master program module The transmitting means for transmitting the 1st clock signal generated by the 1st clock generation machine to 2nd at least one module, The receiving means for receiving 2nd at least

one clock signal which was generated by the 2nd clock generation machine which synchronizes with the 1st clock signal, and was transmitted by 2nd at least one module, It is a generating means for forming the time difference value (the 1st) between the 1st clock signal and 2nd at least one clock signal. the time difference value Substantially Between the 1st module and 2nd at least one module, It has the generating means which is what is depended on the air time of the 1st clock generation machine and at least one 2nd clock generation machine. a transmitting means (The 1st) Are constituted so that the item of the information about a time difference value may be transmitted to 2nd at least one module. It is attained by the master program module for the module which has the 1st clock generation machine for synchronizing with 2nd at least one module which has the 2nd clock generation machine (the 1st).

[0010] In the mode of further others of this invention, this purpose is a slave program module for the module which has a clock generation machine (CPU3) for synchronizing with 1st at least one module (the 2nd). The program code which can operate by the control means (CPU3) of the 2nd module is included. further a slave program module The receiving means for receiving the 1st clock signal transmitted by the 1st module, The synchronous means for

synchronizing a clock generation machine based on the 1st clock signal, It has the transmitting means for transmitting the 1st clock signal and the 2nd clock signal which synchronizes to the 1st module. a receiving means It is constituted so that the item of the information about the time difference value in which it is formed from 2 clock signals (the 1st) may be received. the [which was transmitted by the 1st module / the 1st clock signal and] -- Substantially the time difference value Between the 1st module and 2nd at least one module, It is what is depended on the air time of the 1st clock signal and 2nd at least one clock signal. a synchronous means (The 1st) Based on the information about a time difference value, are constituted so that a clock generation machine may be adjusted. It is attained by the slave program module for the module which has a clock generation machine (CPU3) for synchronizing with 1st at least one module (the 2nd).

[0011] The device in which this invention contains 1st at least one module and 2nd at least one module which have a clock generation machine, respectively in the mode of further others of this invention, The transmitting means for being especially a communication device and 1st at least one module transmitting the 1st clock signal generated by the 1st clock generation machine to 2nd at least one module, The receiving means for

receiving 2nd at least one clock signal which was generated by each 2nd clock generation machine, synchronized with the 1st clock signal, and was transmitted by 2nd at least one module, It is a generating means for forming the time difference value (the 1st) between the 1st clock signal and 2nd at least one clock signal. the time difference value Substantially Between the 1st module and 2nd at least one module, It has the generating means which is what is depended on the air time of the 1st clock signal and 2nd at least one clock signal. a transmitting means It is constituted so that the item of the information about a time difference value may be transmitted to 2nd at least one module. (The 1st) The receiving means for 2nd at least one module receiving the 1st clock signal transmitted by the 1st module, The synchronous means for synchronizing a clock generation machine based on the 1st clock signal, It has the transmitting means for transmitting the 1st clock signal and the 2nd clock signal which synchronizes to the 1st module. a receiving means It is constituted so that the item of the information about the time difference value in which it is formed from 2 clock signals (the 1st) may be received. the [which was transmitted by the 1st module / the 1st clock signal and] -- Substantially the time difference value Between the 1st module and 2nd at least one module, It is based on the air

time of the 1st clock signal and 2nd at least one clock signal, and a synchronous means is attained by the device constituted so that a clock generation machine may be adjusted based on the information about a time difference value (the 1st).

[0012] In relation to this, this invention is based on the idea of transmitting to other slave modules, depending on the master module, the module to call and which is calling slave module the "master clock signal" which the 1st module generated with the 1st clock generation vessel of the 1st module in the following portions for conciseness, and the case for conciseness. Subsequently, a slave module transmits the "slave clock signal" generated with the clock generation vessel which synchronized each clock generation machine with the master clock signal, and synchronized it in this way to a master module. Consequently, a master module receives the field back to a synchronization of itself. Subsequently, a master module determines the time difference value between a master clock signal and each slave clock signal. This time difference is for signal pass time required in order to transmit the signal pass time substantially needed in order to transmit a master clock signal to each slave module, and each slave clock signal to a master module from each slave module. Usually, both signal pass time will be equal, and it will be because the

transmitting path between a master module and a slave module is symmetrical, consequently each time difference value will be mostly called the half of signal pass time. Subsequently, a master module transmits the item of the information about each time difference value to a slave module, and a slave module adjusts the clock generation machine of a slave module based on the item of these information. Consequently, the phase shift between the master clock signals and slave clock signals of each signal pass time of the master clock signal to a slave module which are a sake decreases even to the grade which does not pose a problem any longer, under the still more nearly optimal state, it will be lost completely and a master module and a slave module will synchronize the optimal mutually as a result.

[0013] Other improving points used as the advantage of this invention become clear from a subordinate claim.

[0014] With 1 desirable operation form of this invention, signal pass time is determined, consequently each phase shift between a master clock signal and a slave clock signal is corrected because either a master module or a slave module makes each time difference value a half. The signal pass time between a master module and a slave module is the reasons of for example, transmitting paths differing, the algorithm more carefully considered when it was not an equal can

be used, and each phase shift can be determined.

[0015] Concerning a start synchronous procedure, it is the method of repeating periodically to a slave module only at predetermined time, for example in succession, and a master clock signal is restricted at once, and a master module is an irregular interval, for example, when there are few loads on a master module and/or a slave module, it can transmit it, for example.

[0016] It is possible for a slave module to be able to transmit each slave clock signal to a master module repeatedly, consequently for a master module to be able to determine the time difference value between a master clock signal and each slave clock signal with other deformation forms of this invention, thus to supervise the synchronous operation of a slave module by the master module. When the slave clock signal of a slave module does not synchronize with a master clock signal, a master module can transmit an adjusted value to each slave module again, and can adjust each clock generation machine of a slave module.

[0017] In a suitable case, it becomes possible for a master module to transmit a repeat master clock signal to a slave module again, consequently to determine the time difference value between each slave clock signal and master clock signal by the slave module in the changed completely type form of this invention.

And the following various possibility arises in this.

[0018] When a slave module transmits each time difference value to a master module, a master module can supervise the success or failure of a synchronous procedure, or can determine the gap generated by the case in the case of operation between a master clock signal and each slave clock signal. Subsequently, arbitrarily, a master module can start an above-mentioned synchronous procedure again, and can also synchronize a slave clock signal.

[0019] However, a slave module can also be adjusted based on the time difference value as which the slave determined each clock generation machine by initiative of the slave itself.

[0020] Based on an instantiation operation form, the following portions explain this invention using drawing.

[0021]

[Embodiments of the Invention] Drawing 1 shows the sequence of a synchronization based on the modules MOD1 and MOD2 by this invention shown in drawing. In order to carry out clear [of the synchronizing sequence], it overlaps, respectively and modules MOD1 and MOD2 are shown. Modules MOD1 and MOD2 are a computer system or a communicative joint, for example, the electronic printed circuit board of SDH cross connection (SDH:synchronous digital hierarchy). Modules MOD1 and

MOD2 are mutually connected through the bus which is not illustrated, and modules MOD1 and MOD2 can transmit an informational item mutually by it. For this reason, drawing 4 explains more the transmission and the receiving module which are needed to a detail. Also let modules MOD1 and MOD2 be the software modules which synchronize a local operating system, respectively.

[0022] The clock generation machine GEN1 and the logical organization element CP 1 are shown in the module MOD 1, and the clock generation machine GEN2 and the logical organization element CP 2 are shown in the module MOD 2. The electronic system of the going-down circuit which has a resettable counter since an initial clock signal is generated from the clock signal used as the crystal oscillator for generating the clock signal used as criteria and criteria is contained in the clock generation machines GEN1 and GEN2, for example, respectively. Such a circuit is known in itself. Thus, the clock generation machine GEN1 generates a clock signal TS1, and the clock generation machine GEN2 generates a clock signal TS2. The logical organization element CP 1 and the logical organization element CP 2 are equipped with the generating assembly which can form the comparator assembly for determining the phase shift between two clock signals, respectively, and an adjusted value, then can adjust

the clock generation machine GEN2. Let the logical organization element CP 1 and the logical organization element CP 2 be a signal processor or an integrated circuit. Modules MOD1 and MOD2 can also be equipped with a transmitter, a receiving assembly, etc. for transmitting and receiving the user data tele gram from other functional assemblies, for example, SDH container. Furthermore, the functional component can mount the whole in modules MOD1 and MOD2 and a row by one processor, a clock generation machine is built into the processor, and the program code of the program module by this invention is operated to it.

[0023] In case a synchronization is started, a module MOD 1 transmits the clock signal TS1 generated by the clock generation machine GEN1 to a module MOD 2. A module MOD 2 synchronizes the clock generation machine GEN2 with a clock signal TS1. However, since a specific air time is required and the specific processing time is still more nearly required also for operation which synchronizes the clock generation machine GEN2 in order to transmit a clock signal TS1 to MOD2 from a module MOD 1, clock signal TS2DEL generated by the clock generation machine GEN2 has the phase shift to the clock signal TS1 at this time.

[0024] A module MOD 2 transmits clock signal TS2DEL to a module MOD 1. Similarly, the air time for it is needed. A

module MOD 1 determines the time difference value DIF 1 between received clock signal TS2DEL as a clock signal TS1. The time difference value DIF 1 is for the air time of the clock signal TS1 from a module MOD 1 to a module MOD 2, and the air time of clock signal TS2DEL from a module MOD 2 to a module MOD 1 substantially. Since the transmitting path between modules MOD [MOD1 and] 2 is equal length in the case of this example, the logical organization element CP 1 makes the time difference value DIF 1 a half, and forms the item of fix information text COR (DIF1). Subsequently, a module MOD 1 transmits the item of fix information text COR (DIF1) to a module MOD 2, and a module MOD 2 adjusts the clock generation machine GEN2 using the item of fix information text COR (DIF1). Subsequently, the clock generation machine GEN2 generates clock signal TS2OPT which synchronizes with a clock signal TS1. When the transmission path between modules MOD [MOD1 and] 2 is not equal length, the logical organization element CP 1 can use other more complicated algorithms, and can also form an adjusted value COR1.

[0025] Fix information text COR (DIF1) can contain the starting value which is contained by the clock generation machine GEN2 and which was coded by digital one and transmitted to it, or a resettable counter. It is also possible to

transmit the clock signal TS1 a module MOD 1 is what made the half the time difference value DIF 1 between a clock signal TS1 and clock signal TS2DEL, corrected the clock signal TS1 in phase in advance, and "advanced processing" in this way as fix information text COR (DIF1) to a module MOD 2.

[0026] Furthermore, a module MOD 1 can also transmit the time difference value DIF 1 between a clock signal TS1 and clock signal TS2DEL to a module MOD 2 as the form COR (DIF1), i.e., fix information text, of not processing, without a **** carrying out half processing. Subsequently, a module MOD 2 makes the time difference value DIF 1 a half, thus adjusts the clock generation machine GEN2. Furthermore, a module MOD 2 can incorporate the offset value of fix information text COR (DIF1). Such an offset value shall be equivalent to time for the clock generation machine GEN2 to need for adjustment operation, or need for a module MOD 2 receiving and reading an adjusted value COR1.

[0027] It is made for the sequence shown by drawing 2 to become behind by the synchronization shown based on drawing 1. The clock generation machines GEN1 and GEN2 are the cases of the clock generation machines GEN1 and GEN2 without interference which a clock signal TS1 and a clock signal TS2 are generated, respectively, and these synchronize on the optimal conditions, for example, is

operating by the same method correctly etc. A module MOD 1 transmits a clock signal TS1 to the logical organization element CP 2 of a module MOD 2. Furthermore, the logical organization element CP 2 receives a clock signal TS2 from the clock generation machine GEN2. If the logical organization element CP 2 forms the time difference value DIF 2 and this takes the given synchronous-clock signal TS1 and a given clock signal TS2 into consideration from the clock signal TS1 and the local clock signal TS2 which have been delayed by transmission from a module MOD 1, it is equal to the half of the time difference value DIF 1.

[0028] A module MOD 2 can transmit the time difference value DIF 2 to a module MOD 1, and a module MOD 1 can detect whether the clock signal TS2 synchronizes with a clock signal TS1 by it. When that is not right, a module MOD 1 initializes the synchronous operation again shown based on drawing 1, and/or sends the signal of interference to the adjustment control unit to modules MOD1 and MOD2.

[0029] In this case, the logical organization element CP 2 forms and stores an adjusted value COR2 from the time difference value DIF 2 and the already received time difference value DIF 1. In relation to this, the logical organization element CP 2 subtracts the half of the time difference value DIF 2 to the time difference value DIF 1. In order

to form an adjusted value COR2, the time needed in order to adjust, other correction elements GEN2, for example, clock generation machine, can take the logical organization element CP 2 into consideration. The logical organization element CP 2 generates clock signal TS2OPT which an adjusted value COR2 is offered to the clock generation machine GEN2, and the clock generation machine GEN2 subsequently adjusts itself again, consequently synchronizes with a clock signal TS1.

[0030] It is made to become behind by the synchronization which also shows the sequence shown by drawing 3 based on drawing 1. However, in drawing 3, clock signal TS2DEL generated by the clock generation machine GEN2 does not synchronize with a clock signal TS1 correctly any longer. It is because the module MOD 2 carried out the short-time power failure etc. A module MOD 2 transmits clock signal TS2DEL to a module MOD 1. Clock signal TS2DEL receives a message with the time lag by transmission. If a symmetrical transmitting path is taken into consideration, it will become the aforementioned gap is the same as that of what was explained based on drawing 1, and equal to what made the time difference value DIF 1 the half. Therefore, first, a module MOD 1 is what made the time difference value DIF 1 the half, and corrects received clock signal TS2DEL.

Furthermore, a module MOD 1 determines the time difference value DIF 3 between corrected clock signal TS2DEL and a clock signal TS1. Subsequently, a module MOD 1 can transmit the item of fix information text COR2 (DIF3) based on the time difference value DIF 3 to a module MOD 2, and a module MOD 2 can adjust the clock generation machine GEN2 by it. The clock generation machine GEN2 generates clock signal TS2OPT which synchronizes with a clock signal TS1 again.

[0031] The phase shift between the clock signal TS1 which can also be made to carry out resynchronization of the module MOD 2 repeatedly during continuation of operation, consequently may be generated gradually working, and a clock signal TS2 is again removed as shown based on drawing 2 and 3.

[0032] It can be made to synchronize with a module MOD 1 by the method explaining other modules which are not illustrated in addition to a module MOD 2. Furthermore, since the module MOD 2 synchronizes with a module MOD 1 and high degree of accuracy as explained, as for a module MOD 2, it is possible to make it synchronize with the module subordinate to a module MOD 1. Therefore, it not only can form a "parallel circuit" with the module which synchronizes, and two or more modules which synchronize with the synchronous module, but it can make it into a cascade

form.

[0033] Drawing 4 has achieved the function of the modules MOD1 and MOD2 known from drawing 1, and the logical organization element (CP1, CP2) with which control-module CPU3, for example, a signal processor, carries out the trigger of the function of a clock generation machine (GEN1 or GEN2), and the clock generation machine by the module MOD 3 by showing the module MOD 3 further. For this reason, control-module CPU3 performs the program code of the slave program module constituted by this invention.

[0034] A module MOD 1 transmits a clock signal TS1 on the bus circuit BUSSND through the transmitting module SND11. From the bus circuit BUSSND, a module MOD 2 receives a clock signal TS1 with the receiving module RCV21, and receives a module MOD 3 with the receiving module RCV31. Subsequently, a module MOD 2 synchronizes the clock generation machine GEN2 with a clock signal TS1. A module MOD 3 synchronizes by the clock signal TS1, and generates a clock signal TS3. However, although the phase has shifted in each time interval, a clock signal TS1 is required [it] for clock signals TS2 and TS3 in order to transmit to modules MOD2 and MOD3 by the bus circuit BUSSND.

[0035] A module MOD 2 turns a clock signal TS2 to a module MOD 1 on the bus

circuit BUSRCV from the transmitting module SND21, and transmits it, and a module MOD 1 receives a clock signal TS2 with the receiving module RCV11. The logical organization element CP 1 forms fix information text COR (DIF1) by the method learned for drawing 1, and transmits it to a module MOD 2 by the bus circuit CORX from the transmitting module SND12. A module MOD 2 receives fix information text COR (DIF1) with the receiving module RCV22, and adjusts the clock generation machine GEN2.

[0036] A module MOD 3 transmits a clock signal TS3 to a module MOD 1 by the bus circuit BUSRCV from the transmitting module SND31. The logical organization elements CP 1 are a module MOD 2 and a similar way, form the item of fix information text and transmit it to a module MOD 3 through the transmitting module SND12. A module MOD 3 receives fix information text with the receiving module RCV32, and adjusts the clock generation machine function of control-module CPU3.

[0037] The receiving module RCV22 of a module MOD 2 is one side, it generates an adjusted value COR2, adjusts the clock generation machine GEN2, and generates another side and the time difference value DIF 2, and the transmitting module SND22 transmits it to a module MOD 1 by the bus circuit DIFX as fix information text COR (DIF1)

is passed to the logical organization element CP 2, consequently the logical organization element CP 2 is explained based on drawing 2.

[0038] Since the module of drawing 4 is variously constituted for the deformation gestalt of various composition of having illustrated, the mode of operation with which it synchronizes with and a "slave" module (MOD2 and MOD3) also synchronizes a "master" module (MOD1) further becomes clear only based on each mode of connection of each module structure and transmission, and a receiving module.

[0039] However, it is also possible to use the similar module which can perform both a "slave" function and a "master" function. For example, as explained, it not only places a slave program module, but it can also put a master program module on a module MOD 3, consequently a module MOD 3 can function on it as a synchronization "a master."

[0040] Furthermore, although it can also have a processor for building a module MOD 1 like a module MOD 3, and performing a program code, a module MOD 3 can perform the synchronous function explained in the upper part on the contrary, and when required, it can contain the master program module which can also perform a synchronous monitoring function.

[0041] Always, by constituting for

example, an inquiry contact and the so-called jumper, the eligibility for synchronizing, the eligibility, i.e., one or more slave modules, for operating as a "master module", is a suitable way, and can specify each module. Based on constituting a jumper, each module can determine whether to use it as a master module or a slave module. However, it can also respond so that it may say that I hear that the first module which transmits a clock signal turns into a master module dynamically [function / each], and it determines.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing by this invention showing a sequence synchronous [by this invention] based on the modules MOD1 and MOD2 shown in drawing.

[Drawing 2] It is drawing showing the surveillance of a synchronization, and the resynchronization after the synchronization of drawing 1.

[Drawing 3] It is the solution of the addition to drawing 2, or an alternative, namely, is drawing showing the same resynchronization after the surveillance of a synchronization, and the synchronization of drawing 1.

[Drawing 4] It is drawing showing the equipment for performing the method by this invention.

[Description of Notations]

MOD1, MOD2, MOD3 Module

GEN1, GEN2 Clock generation machine

CP1, CP2 Logical organization element

CPU3 Control module

RCV11, RCV12, RCV21, RCV22, RCV31, a RCV32 receiving module

SND11, SND12, SND21, SND22, SND31 Transmitting module

TS1, TS2, TS3 Clock signal

TS2DEL Corrected clock signal

TS2OPT A clock signal TS1 and clock signal which synchronizes

COR (DIF1) Fix information text

DIF2 Time difference value

BUSRCV, BUSSND, CORX Bus circuit

COR1, COR2 Adjusted value

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-326626

(P2001-326626A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 L 7/00		H 0 4 L 7/00	B
G 0 6 F 1/12		H 0 3 L 7/00	C
H 0 3 L 7/00		G 0 6 F 1/04	3 4 0 A

審査請求 未請求 請求項の数12 O L 外国語出願 (全 34 頁)

(21) 出願番号 特願2001-73308(P2001-73308)

(22) 出願日 平成13年3月15日 (2001. 3. 15)

(31) 優先権主張番号 1 0 0 1 3 3 1 3 . 4

(32) 優先日 平成12年3月20日 (2000. 3. 20)

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 391030332

アルカテル

フランス国、75008 パリ、リュ・ラ・ボ

エティ 54

(72) 発明者 ジェフリー・ディブ

ドイツ国、71546・アスバツハ、トロリン

ガー・シュトラッセ・5

(74) 代理人 100062007

弁理士 川口 義雄 (外2名)

(54) 【発明の名称】 同期のための方法、モジュール、およびプログラムモジュール

(57) 【要約】

【課題】 第1モジュールと少なくとも1つの第2モジュールとを同期させるための方法、およびこのためのモジュールを提供する。

【解決手段】 第2モジュールMOD 2は、第1クロック信号TS 1と同期しているクロック発生器によって発生された第2クロック信号TS 2を第1モジュールMOD 1へ送信し、第1モジュールMOD 1は、第1クロック信号と第2クロック信号との間の時間差値D I F 1を判定し、その時間差値は、実質上、第1モジュールと第2モジュールとの間の第1および第2クロック信号の送信時間によるものである。第1モジュールは、第1時間差値D I F 1に関する情報COR 1 D I F 1の項目を第2モジュールMOD 2へ送信し、第2モジュールMOD 2は、前記情報に基づいてクロック発生器を調整する。

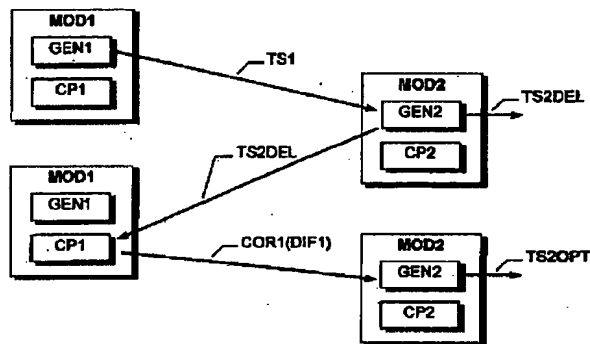


Fig. 1

【特許請求の範囲】

【請求項1】 それぞれクロック発生器（GEN1、GEN2）を有する第1モジュールと少なくとも1つの第2モジュールと（MOD1、MOD2）を同期させるための方法であって、

第1モジュール（MOD1）のクロック発生器（GEN1）によって発生された第1クロック信号（TS1）を、第1モジュール（MOD1）によって、少なくとも1つの第2モジュール（MOD2）に送信するステップと、

少なくとも1つの第2モジュール（MOD2）のクロック発生器（GEN2）を第1クロック信号（TS1）と同期させるステップと、

第1クロック信号（TS1）と同期しているクロック発生器（GEN2）によって発生された第2クロック信号（TS2）を、少なくとも1つの第2モジュール（MOD2）によって第1モジュール（MOD1）に送信するステップと、

第1モジュールに（MOD1）によって、第1クロック信号（TS1）と少なくとも1つの第2クロック信号（TS2）との間の（第1の）時間差値（DIF1）を決定するステップであって、時間差値は、実質的に、第1モジュール（MOD1）と少なくとも1つの第2モジュール（MOD2）との間の第1クロック信号（TS1）および少なくとも1つの第2クロック信号（TS2）の送信時間によるものである、（第1の）時間差値（DIF1）を決定するステップと、

（第1の）時間差値（DIF1）に関する情報（COR1（DIF1））の項目を、第1モジュール（MOD1）によって少なくとも1つの第2モジュール（MOD2）に送信するステップと、

（第1の）時間差値（DIF1）に関する情報（COR1（DIF1））に基づいて、少なくとも1つの第2モジュール（MOD2）のクロック発生器（GEN2）を調整するステップとを含む、それぞれクロック発生器（GEN1、GEN2）を有する第1モジュールと少なくとも1つの第2モジュール（MOD1、MOD2）とを同期させるための方法。

【請求項2】 少なくとも1つの第2モジュール（MOD2）のクロック発生器（GEN2）を調整するために、（第1の）時間差値（DIF1）が半分にされる請求項1に記載の方法。

【請求項3】 少なくとも1つの第2モジュール（MOD2）が、第1クロック信号および第2クロック信号（TS2）から第2時間差値（DIF2）を決定し、前記少なくとも1つの第2モジュール（MOD2）は、第2時間差値（DIF2）に関する情報の項目を第1モジュール（MOD1）へ送信する請求項1に記載の方法。

【請求項4】 第1モジュール（MOD1）が、該第1モジュール（MOD1）のクロック発生器（GEN1）

によって発生された第1クロック信号（TS1）を、少なくとも1つの第2モジュール（MOD2）へ、所定の瞬間に、特に周期的に送信する請求項1に記載の方法。

【請求項5】 第1モジュール（MOD1）が、該第1モジュール（MOD1）のクロック発生器（GEN1）によって発生された第1クロック信号（TS1）を、少なくとも1つの第2モジュール（MOD2）へ所定の時間間隔で再送信し、前記少なくとも1つの第2モジュール（MOD2）は、第1クロック信号および第2クロック信号（TS2）から第2時間差値（DIF2）を決定し、前記少なくとも1つの第2モジュール（MOD2）は、それぞれの第2時間差値（DIF2）を第1モジュール（MOD1）へ送信し、かつ／または、それぞれの第2時間差値（DIF2）が所定の値（DIF1）から逸脱している場合、前記少なくとも1つの第2モジュール（MOD2）は、該第2モジュール（MOD2）のクロック発生器（GEN2）をそれぞれの第2時間差値（DIF2）に基づいて調整する請求項1に記載の方法。

【請求項6】 少なくとも1つの第2モジュール（MOD2）が、該第2モジュール（MOD2）のクロック発生器（GEN2）によって発生された第2クロック信号（TS2）を、第1モジュール（MOD1）へ所定の時間間隔で再送信し、前記第1モジュール（MOD1）は、第1クロック信号（TS1）および受信したそれぞれの第2クロック信号（TS2）から第1時間差値（DIF1）を決定し、それぞれの第1時間差値（DIF1）が所定の値から逸脱している場合、前記第1モジュール（MOD1）は、それぞれの第1時間差値（DIF1）に関する情報（COR1（DIF1））の項目を、少なくとも1つの第2モジュール（MOD2）へ送信し、前記少なくとも1つの第2モジュール（MOD2）は、該第2モジュール（MOD2）のクロック発生器（GEN2）をそれぞれの第1時間差値（DIF1）に関する情報に基づいて調整する請求項1に記載の方法。

【請求項7】 第2クロック発生器（GEN2）を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器（GEN1）を有する（第1）モジュールであって、

第1クロック発生器（GEN1）によって発生された第1クロック信号（TS1）を、少なくとも1つの第2モジュール（MOD2）へ送信するための送信手段（SND11、SND12）と、

それぞれの第2クロック発生器（GEN2）で発生され、第1クロック信号（TS1）と同期しており、少なくとも1つの第2モジュール（MOD2）によって送信された、少なくとも1つの第2クロック信号（TS2）を受信するための受信手段（RCV11、RCV12）と、

第1クロック信号（TS1）と少なくとも1つの第2ク

10

20

30

40

50

ロック信号 (TS2) との間の (第1の) 時間差値 (DIF1) を形成するための発生手段 (CP1) であって、時間差値は、実質的に、第1モジュール (MOD1) と少なくとも1つの第2モジュール (MOD2) との間の、第1クロック信号 (TS1) および少なくとも1つの第2クロック信号 (TS2) の送信時間によるものである、発生手段 (CP1) とを備えており、前記送信手段 (SND11、SND12) は、(第1の) 時間差値 (DIF1) に関する情報 (COR1 (DIF1)) の項目を、少なくとも1つの第2モジュール (MOD2) に送信するように構成されている、第2クロック発生器 (GEN2) を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器 (GEN1) を有する (第1) モジュール。

【請求項8】 少なくとも1つの第1モジュール (MOD1) と同期するためのクロック発生器 (GEN2) を有する (第2) モジュールであって、第1モジュールによって送信された第1クロック信号 (TS1) を受信するための受信手段 (RCV21、RCV22) と、第1クロック信号 (TS1) に基づいて、第2モジュールのクロック発生器 (GEN2) を同期させるための同期手段 (GEN2) と、第1クロック信号 (TS1) と同期している第2クロック信号 (TS2) を、第1モジュール (MOD1) へ送信するための送信手段 (SND21、SND22) とを備えており、

前記受信手段 (RCV21、RCV22) は、第1モジュールによって送信された第1クロック信号 (TS1) および第2クロック信号 (TS2) から形成される (第1の) 時間差値 (DIF1) に関する情報 (COR1 (DIF1)) の項目を受信するように構成されており、時間差値は、実質的に、第1モジュール (MOD1) と少なくとも1つの第2モジュール (MOD2) との間の、第1クロック信号 (TS1) および少なくとも1つの第2クロック信号 (TS2) の送信時間によるものであり、前記同期手段 (GEN2) は、(第1の) 時間差値 (DIF1) に関する情報に基づいてクロック発生器 (GEN2) を調整するように構成されている、少なくとも1つの第1モジュール (MOD1) と同期するためのクロック発生器 (GEN2) を有する (第2) モジュール。

【請求項9】 第2クロック発生器 (GEN2) を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器 (GEN1) を有する (第1) モジュールのためのマスタプログラムモジュールであって、第1モジュール (MOD1) の制御手段によって動作可能なプログラムコードを含んでおり、さらに、第1クロック発生器 (GEN1) によって発生された第1クロック信号 (TS1) を、少なくとも1つの第2モ

ジュール (MOD2) に送信するための送信手段と、第1クロック信号 (TS1) と同期しており、少なくとも1つの第2モジュール (MOD2) によって送信される、第2クロック発生器 (GEN2) によって発生された少なくとも1つの第2クロック信号を受信するための受信手段と、

第1クロック信号 (TS1) と少なくとも1つの第2クロック信号 (TS2) との間の (第1の) 時間差値 (DIF1) を形成するための発生手段であって、時間差値は、実質的に、第1モジュール (MOD1) と少なくとも1つの第2モジュール (MOD2) との間の、第1クロック信号 (TS1) および少なくとも1つの第2クロック信号 (TS2) の送信時間によるものである、発生手段とを備えており、

前記送信手段は、(第1の) 時間差値 (DIF1) に関する情報の項目を、少なくとも1つの第2モジュール (MOD2) へ送信するように構成されている、第2クロック発生器 (GEN2) を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器 (GEN1) を有する (第1) モジュールのためのマスタプログラムモジュール。

【請求項10】 少なくとも1つの第1モジュールと同期するためのクロック発生器 (CPU3) を有する (第2) モジュールのためのスレーブプログラムモジュールであって、第2モジュールの制御手段 (CPU3) によって動作可能なプログラムコードを含んでおり、さらに、

第1モジュールによって送信された第1クロック信号を受信するための受信手段と、

第1クロック信号 (TS1) に基づいて、クロック発生器 (CPU3) を同期させるための同期手段と、第1クロック信号 (TS1) と同期している第2クロック信号 (TS3) を、第1モジュール (MOD1) へ送信するための送信手段とを備えており、

前記受信手段は、第1モジュールによって送信された第1クロック信号 (TS1) および第2クロック信号 (TS3) から形成される (第1の) 時間差値 (DIF1) に関する情報の項目を受信するように構成されており、時間差値は、実質的に、第1モジュール (MOD1) と少なくとも1つの第2モジュール (MOD3) との間の、第1クロック信号 (TS1) および少なくとも1つの第2クロック信号 (TS3) の送信時間によるものであり、前記同期手段は、(第1の) 時間差値 (DIF1) に関する情報に基づいてクロック発生器 (CPU3) を調整するように構成されている、少なくとも1つの第1モジュールと同期するためのクロック発生器 (CPU3) を有する (第2) モジュールのためのスレーブプログラムモジュール。

【請求項11】 それぞれクロック発生器 (GEN1、GEN2) を有する少なくとも1つの第1モジュールと

少なくとも1つの第2モジュールと(MOD 1、MOD 2)を含んでいるデバイス、特に通信デバイスであって、前記少なくとも1つの第1モジュール(MOD 1)は、請求項7に記載のモジュールとして構成されており、前記少なくとも1つの第2モジュール(MOD 2)は、請求項8に記載のモジュールとして構成されているデバイス。

【請求項12】 請求項9によるマスタプログラムモジュールおよび／または請求項10によるスレーブプログラムモジュールが格納されているメモリ手段、特にコンピュータ可読ディスクット。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、それぞれクロック発生器を有する第1モジュールと少なくとも1つの第2モジュールとを同期させるための方法に関する。

【0002】

【従来の技術】通信およびコンピュータ技術の分野では、動作のために必要とされる機器アセンブリは、たびたび、1つの電子プリント回路基板に配置することができず、それぞれ1つまたは複数のプリント回路基板を有する別個の複数モジュールに分散させる必要がある。通信システムの場合、特に、冗長モジュールも、フェールセーフのために使用される。モジュールは同期して動作するので、モジュールには、中央タイミング信号、すなわち「クロック信号」としても知られている信号が供給されている。そのような中央クロック信号は、中央クロック発生器で発生され、モジュールに送信される。例えば、送信のために、バスのクロックチャンネルが用意され、モジュールに接続されている。モジュールは、直接バスから入手されるクロック信号で動作するか、またはそれぞれのモジュール上に存在する個別のローカルクロック発生器を、中央クロック信号に同期させるかのいずれかである。後者の場合、ローカルクロック発生器は、それぞれローカルクロック信号を発生するが、その信号は、多少中央クロック信号からは位相差があり、その位相差は、バス上の中央クロック信号の通過時間のためである。

【0003】高いクロック周波数で動作している高精度機器の場合、例えばいわゆるSDH送信技術(SDH:同期デジタル階層)のクロスコネクトの場合、この位相差は、これまでも機器の精度に支障をきたしている。そして、機器のモジュールは、もはや適切な同期で動作していない場合、例えばデータは、モジュールが互いに上述のバスを介して交換しているメッセージに、追いつかれてしまう。

【0004】ソフトウェアモジュールが、リアルタイム状態で対話しており、それぞれの場合に、ローカルクロック発生器をそれぞれ有する個別のオペレーティングシステムによって管理されている場合、妨害となる非同期

状態が、中央クロック信号をそれぞれのオペレーティングシステムに分配する際の中央クロック信号の通過時間のために、発生する可能性がある。

【0005】

【発明が解決しようとする課題】したがって、本発明の目的は、それぞれがローカルクロック発生器を有する、高精度モジュールを同期させることである。

【0006】

【課題を解決するための手段】本目的は、それぞれクロック発生器を有する第1モジュールと少なくとも1つの第2モジュールとを同期させるための方法であって、第1モジュールのクロック発生器によって発生された第1クロック信号を、第1モジュールによって、少なくとも1つの第2モジュールに送信するステップと、少なくとも1つの第2モジュールのクロック発生器を第1クロック信号と同期させるステップと、第1クロック信号と同期しているクロック発生器によって発生された第2クロック信号を、少なくとも1つの第2モジュールによって、第1モジュールに送信するステップと、第1モジュールによって、第1クロック信号と少なくとも1つの第2クロック信号との間の(第1の)時間差値を決定するステップであって、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック信号および少なくとも1つの第2クロック信号の送信時間によるものである、(第1の)時間差値を決定するステップと、(第1の)時間差値に関する情報の項目を、第1モジュールによって、少なくとも1つの第2モジュールに送信するステップと、(第1の)時間差値に関する情報に基づいて、少なくとも1つの第2モジュールのクロック発生器を調整するステップとを含んでいる方法によって達成される。

【0007】本発明の他の態様では、本目的は、第2クロック発生器を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器を有する(第1)モジュールであって、第1クロック発生器によって発生された第1クロック信号を、少なくとも1つの第2モジュールへ送信するための送信手段と、それぞれの第2クロック発生器で発生され、第1クロック信号と同期しており、少なくとも1つの第2モジュールによって送信された、少なくとも1つの第2クロック信号を受信するための受信手段と、第1クロック信号と少なくとも1つの第2クロック信号との間の(第1の)時間差値を形成するための発生手段であって、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック信号および少なくとも1つの第2クロック信号の送信時間によるものである、発生手段とを備えており、送信手段は、(第1の)時間差値に関する情報の項目を、少なくとも1つの第2モジュールに送信するように構成されている、第2クロック発生器を有する少なくとも1つの第2モジュールと同期するための第

1クロック発生器を有する(第1)モジュールによって達成される。

【0008】本発明のさらに他の態様では、本目的は、少なくとも1つの第1モジュールと同期するためのクロック発生器を有する(第2)モジュールであって、第1モジュールによって送信された第1クロック信号を受信するための受信手段と、第1クロック信号に基づいて、クロック発生器を同期させるための同期手段と、第1クロック信号と同期している第2クロック信号を、第1モジュールへ送信するための送信手段とを備えており、受信手段は、第1モジュールによって送信された、第1クロック信号および第2クロック信号から形成される(第1の)時間差値に関する情報の項目を受信するように構成されており、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック信号および少なくとも1つの第2クロック信号の送信時間によるものであり、同期手段は、(第1の)時間差値に関する情報に基づいて、クロック発生器を調整するように構成されている、少なくとも1つの第1モジュールと同期するためのクロック発生器を有する(第2)

モジュールによって達成される。

【0009】本発明のさらに他の態様では、本目的は、第2クロック発生器を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器を有する

(第1)モジュールのためのマスタプログラムモジュールであって、第1モジュールの制御手段によって動作可能なプログラムコードを含んでおり、さらに、マスタプログラムモジュールは、第1クロック発生器によって発生された第1クロック信号を、少なくとも1つの第2モジュールに送信するための送信手段と、第1クロック信号と同期している第2クロック発生器によって発生され、少なくとも1つの第2モジュールによって送信された、少なくとも1つの第2クロック信号を受信するための受信手段と、第1クロック信号と少なくとも1つの第2クロック信号との間の(第1の)時間差値を形成するための発生手段であって、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック発生器および少なくとも1つの第2クロック発生器の送信時間によるものである、発生手段とを備えており、送信手段は、(第1の)時間差値に関する情報の項目を、少なくとも1つの第2モジュールに送信するように構成されている、第2クロック発生器を有する少なくとも1つの第2モジュールと同期するための第1クロック発生器を有する(第1)モジュールのためのマスタプログラムモジュールによって達成される。

【0010】本発明のさらに他の態様では、本目的は、少なくとも1つの第1モジュールと同期するためのクロック発生器(CPU3)を有する(第2)モジュールのためのスレーブプログラムモジュールであって、第2モジュールの制御手段(CPU3)によって動作可能なプ

ログラムコードを含んでおり、さらに、スレーブプログラムモジュールは、第1モジュールによって送信された第1クロック信号を受信するための受信手段と、第1クロック信号に基づいて、クロック発生器を同期させるための同期手段と、第1クロック信号と同期している第2クロック信号を、第1モジュールへ送信するための送信手段とを備えており、受信手段は、第1モジュールによって送信された、第1クロック信号および第2クロック信号から形成される(第1の)時間差値に関する情報の項目を受信するように構成されており、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック信号および少なくとも1つの第2クロック信号の送信時間によるものであり、同期手段は、(第1の)時間差値に関する情報に基づいて、クロック発生器を調整するように構成されている、少なくとも1つの第1モジュールと同期するためのクロック発生器(CPU3)を有する(第2)モジュールのためのスレーブプログラムモジュールによって達成される。

【0011】本発明のさらに他の態様では、本発明は、それぞれクロック発生器を有する少なくとも1つの第1モジュールと少なくとも1つの第2モジュールとを含んでいるデバイス、特に通信デバイスであって、少なくとも1つの第1モジュールが、第1クロック発生器によって発生された第1クロック信号を、少なくとも1つの第2モジュールに送信するための送信手段と、それぞれの第2クロック発生器によって発生され、第1クロック信号と同期しており、少なくとも1つの第2モジュールによって送信された、少なくとも1つの第2クロック信号を受信するための受信手段と、第1クロック信号と少なくとも1つの第2クロック信号との間の(第1の)時間差値を形成するための発生手段であって、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック信号および少なくとも1つの第2クロック信号の送信時間によるものである、発生手段とを備えており、送信手段は、(第1の)時間差値に関する情報の項目を、少なくとも1つの第2モジュールに送信するように構成されており、少なくとも1つの第2モジュールが、第1モジュールによって送信された第1クロック信号を受信するための受信手段と、第1クロック信号に基づいて、クロック発生器を同期させるための同期手段と、第1クロック信号と同期している第2クロック信号を、第1モジュールへ送信するための送信手段とを備えており、受信手段は、第1モジュールによって送信された、第1クロック信号および第2クロック信号から形成される(第1の)時間差値に関する情報の項目を受信するように構成されており、その時間差値は、実質的に、第1モジュールと少なくとも1つの第2モジュール間の、第1クロック信号および少なくとも1つの第2クロック信号の送信時間によるものであり、同

期手段は、(第1の)時間差値に関する情報に基づいて、クロック発生器を調整するように構成されているデバイスによって達成される。

【0012】これに関連して、本発明は、簡潔さのためにマスタモジュールと呼ぶ、第1モジュールが、第1モジュールの第1クロック発生器によって発生した「マスタクロック信号」を、以下の部分では、簡潔さのためにスレーブモジュールと呼んでいるモジュール、および場合によっては他のスレーブモジュールに送信するという考えに基づいている。次いで、スレーブモジュールは、それぞれのクロック発生器をマスタクロック信号に同期させ、こうして同期させたクロック発生器によって発生した「スレーブクロック信号」をマスタモジュールに送信する。その結果、マスタモジュールは、それ自体の同期に対するフィードバックを受信する。次いで、マスタモジュールは、マスタクロック信号とそれぞれのスレーブクロック信号との間の時間差値を決定する。この時間差は、実質的にマスタクロック信号を、それぞれのスレーブモジュールへ送信するために必要とされる信号通過時間、およびそれぞれのスレーブクロック信号をそれぞれのスレーブモジュールからマスタモジュールへ送信するために必要な信号通過時間のためである。通常、両方の信号通過時間は、等しく、それはマスタモジュールとスレーブモジュール間の送信パスが対称的であるためであり、その結果、それぞれの時間差値は、ほぼ、信号通過時間の半分ということになる。次いで、マスタモジュールは、それぞれの時間差値に関する情報の項目を、スレーブモジュールに送信し、スレーブモジュールは、スレーブモジュールのクロック発生器を、これらの情報の項目に基づいて調整する。その結果、スレーブモジュールへのマスタクロック信号のそれぞれの信号通過時間のためである、マスタクロック信号とスレーブクロック信号との間の位相のずれは、もはや問題とならない程度にまで減少し、さらに最適な状態下では、完全になくなり、結果として、マスタモジュールおよびスレーブモジュールは、互いに最適に同期されることになる。

【0013】本発明の利点となる他の改善点は、従属請求項から明らかになる。

【0014】本発明の好ましい一実施形態では、マスタモジュールまたはスレーブモジュールのいずれかが、それぞれの時間差値を半分にすることで、信号通過時間を決定し、その結果、マスタクロック信号とスレーブクロック信号との間のそれぞれの位相のずれが修正される。マスタモジュールとスレーブモジュール間の信号通過時間が、例えば、送信パスが異なるなどの理由で、等しいものではない場合、より入念に考えられたアルゴリズムを使用して、それぞれの位相のずれを決定することができる。

【0015】マスタモジュールは、マスタクロック信号を連続して、あるいは、所定の時間にのみ、スレーブモ

ジュールへ、例えば、周期的に繰り返す仕方で、一度限り、例えば開始同期手順に関して、または不規則な間隔で、例えばマスタモジュールおよび/またはスレーブモジュール上の負荷が少ない時に、送信することができる。

【0016】本発明の他の変形形態では、スレーブモジュールは、繰り返し、それぞれのスレーブクロック信号をマスタモジュールへ送信し、その結果、マスタモジュールは、マスタクロック信号とそれぞれのスレーブクロック信号との間の時間差値を決定することができ、このようにして、スレーブモジュールの同期動作を、マスタモジュールで監視することが可能である。スレーブモジュールのスレーブクロック信号が、マスタクロック信号と同期していない場合、マスタモジュールは、再び修正値をそれぞれのスレーブモジュールに送信して、スレーブモジュールのそれぞれのクロック発生器を調整することができる。

【0017】適切な場合、マスタモジュールは、繰り返しマスタクロック信号を、スレーブモジュールへ再び送信し、その結果、本発明の一変形形態では、スレーブモジュールでそれぞれのスレーブクロック信号とマスタクロック信号との間の時間差値を決定することが可能になる。そして、このことで、以下の様々な可能性が生じるのである。

【0018】スレーブモジュールは、それぞれの時間差値を、マスタモジュールへ送信することによって、マスタモジュールは、同期手順の成否を監視したり、または場合によっては、マスタクロック信号とそれぞれのスレーブクロック信号との間の動作の際に発生するずれを決定することができる。次いで、マスタモジュールは、任意に、上述の同期手順を、再び開始して、スレーブクロック信号を同期させることもできる。

【0019】しかし、スレーブモジュールも、それぞれのクロック発生器を、スレーブ自体の主導で、スレーブが決定した時間差値に基づき調整することができる。

【0020】本発明を、図を用い、例示的な実施形態に基づき、以下の部分で説明する。

【0021】

【発明の実施の形態】図1は、本発明による、図で示すモジュールMOD1およびMOD2に基づいて、同期のシーケンスを示している。同期シーケンスを明確するために、モジュールMOD1およびMOD2を、それぞれ重複して示している。モジュールMOD1およびMOD2は、例えばコンピュータシステムまたは通信の接合部、例えばSDHクロスコネクタ(SDH:同期ディジタル階層)の電子プリント回路基板である。モジュールMOD1およびMOD2は、図示していないバスを介して、相互に接続されており、それによって、モジュールMOD1およびMOD2は、互いに情報の項目を送信することができる。このために必要とされる送信および受

信モジュールは、図4でより詳細に説明する。モジュールMOD1およびMOD2は、それぞれが、例えばローカルオペレーティングシステムを同期させる、ソフトウェアモジュールとすることもできる。

【0022】クロック発生器GEN1および論理構成要素CP1を、モジュールMOD1に、クロック発生器GEN2および論理構成要素CP2を、モジュールMOD2に示している。クロック発生器GEN1およびGEN2には、それぞれ例えば、基準となるクロック信号を発生するための水晶発振器、および基準となるクロック信号から初期クロック信号を発生するための、例えばリセット可能なカウンタを有する、下り回線の電子システムが含まれている。そのような回路は、それ自体知られている。このようにして、クロック発生器GEN1は、クロック信号TS1を発生し、クロック発生器GEN2は、クロック信号TS2を発生する。論理構成要素CP1および論理構成要素CP2は、それぞれ2つのクロック信号間の位相のずれを決定するための比較器アセンブリ、および修正値を形成し、それでクロック発生器GEN2を調整することができる発生アセンブリを備えている。論理構成要素CP1および論理構成要素CP2を、例えば信号プロセッサまたは集積回路とすることができる。モジュールMOD1およびMOD2は、他の機能アセンブリ、例えば、SDHコンテナからのユーザデータテレグラムを送受信するための送信機および／または受信アセンブリなどを備えることもできる。さらに、モジュールMOD1およびMOD2、ならびにその機能構成要素は、全体を1つのプロセッサで実装することができ、そのプロセッサには、クロック発生器が組み込まれ、本発明によるプログラムモジュールのプログラムコードを動作させる。

【0023】同期を開始する際、モジュールMOD1は、クロック発生器GEN1によって発生されたクロック信号TS1を、モジュールMOD2に送信する。モジュールMOD2は、クロック発生器GEN2をクロック信号TS1と同期させる。しかし、クロック信号TS1をモジュールMOD1からMOD2へ送信するには、特定の送信時間が必要であり、さらに、クロック発生器GEN2を同期させる動作にも、特定の処理時間が必要なことから、このとき、クロック発生器GEN2によって発生されたクロック信号TS2DELは、クロック信号TS1に対して位相のずれを有している。

【0024】モジュールMOD2は、クロック信号TS2DELをモジュールMOD1へ送信する。同様に、このための送信時間が必要とされる。モジュールMOD1は、クロック信号TS1と、受信したクロック信号TS2DEL間の時間差値DIF1を決定する。時間差値DIF1は、実質的に、モジュールMOD1からモジュールMOD2へのクロック信号TS1の送信時間、およびモジュールMOD2からモジュールMOD1へのクロック

ク信号TS2DELの送信時間のためである。モジュールMOD1とMOD2間の送信パスは、この例の場合は等しい長さなので、論理構成要素CP1は、時間差値DIF1を半分にして、修正情報COR(DIF1)の項目を形成する。次いで、モジュールMOD1は、修正情報COR(DIF1)の項目をモジュールMOD2へ送信し、モジュールMOD2は、クロック発生器GEN2を、修正情報COR(DIF1)の項目を使用して調整する。次いで、クロック発生器GEN2は、クロック信号TS1と同期しているクロック信号TS2OPTを発生する。モジュールMOD1とMOD2間の伝送パスが等しい長さではない場合、論理構成要素CP1は、他の、より複雑なアルゴリズムを使用して、修正値COR1を形成することもできる。

【0025】修正情報COR(DIF1)は、例えば、クロック発生器GEN2に収納されている、デジタルにコード化され送信された開始値、またはリセット可能なカウンタを含むことができる。モジュールMOD1は、事前に、クロック信号TS1とクロック信号TS2DEL間の時間差値DIF1を半分にしたもので、クロック信号TS1を同位相に修正し、修正情報COR(DIF1)としてこのように「処理を進めた」クロック信号TS1をモジュールMOD2へ送信することも可能である。

【0026】さらに、モジュールMOD1は、クロック信号TS1とクロック信号TS2DEL間の時間差値DIF1を、非処理形式、すなわち、修正情報COR(DIF1)として、上述の半分処理せずにモジュールMOD2へ送信することもできる。次いで、モジュールMOD2は、時間差値DIF1を半分にし、このようにして、クロック発生器GEN2を調整する。さらに、モジュールMOD2が、例えば、修正情報COR(DIF1)のオフセット値を組み込むようにすることもできる。そのようなオフセット値は、例えばクロック発生器GEN2が調整動作に必要とする、またはモジュールMOD2が修正値COR1を受信し、読み込むのに必要とする時間に相当するものとして行うことができる。

【0027】図2で示しているシーケンスは、図1に基づいて示している同期により後になるようにする。クロック発生器GEN1およびGEN2は、クロック信号TS1およびクロック信号TS2をそれぞれ発生し、これらは、最適な条件で同期しており、例えば、正確に同じ方法で動作している干渉のないクロック発生器GEN1およびGEN2の場合などである。モジュールMOD1は、クロック信号TS1をモジュールMOD2の論理構成要素CP2へ送信する。さらに、論理構成要素CP2は、クロック信号TS2をクロック発生器GEN2から受け取る。モジュールMOD1からの送信によって遅延しているクロック信号TS1とローカルクロック信号TS2とから、論理構成要素CP2は、時間差値DIF2

を形成し、これは、所与の同期クロック信号TS1およびクロック信号TS2を考慮に入れば、時間差値DIF1の半分に等しい。

【0028】モジュールMOD2は、時間差値DIF2をモジュールMOD1へ送信し、それによってモジュールMOD1は、クロック信号TS2が、クロック信号TS1と同期しているかどうかを検出することができる。そうでない場合には、モジュールMOD1は、再び図1に基づいて示している同期動作を初期化する、および/または干渉の信号を、モジュールMOD1およびMOD2に対する調整制御装置へ送る。

【0029】この場合、論理構成要素CP2は、修正値COR2を時間差値DIF2、およびすでに受信している時間差値DIF1から形成し、格納する。これに関連して、論理構成要素CP2は、例えば時間差値DIF2から、時間差値DIF1の半분을減算する。修正値COR2を形成するために、論理構成要素CP2は、他の修正要素、例えばクロック発生器GEN2を調整するために必要とされる時間なども考慮に入れることができる。論理構成要素CP2は、修正値COR2をクロック発生器GEN2へ提供し、次いでクロック発生器GEN2は、再びそれ自体を調整し、その結果、クロック信号TS1と同期しているクロック信号TS2OPTを発生する。

【0030】図3で示しているシーケンスも、図1に基づいて示している同期により後になるようにする。しかし、図3では、クロック発生器GEN2によって発生されたクロック信号TS2DELは、もはやクロック信号TS1とは、正確に同期していない。それは、例えばモジュールMOD2が、短時間停電したためなどである。モジュールMOD2は、クロック信号TS2DELをモジュールMOD1へ送信する。クロック信号TS2DELは、送信による時間のずれを伴い着信する。対称的な送信パスを考慮すれば、前記ずれは、図1に基づいて説明したものと同様で、時間差値DIF1を半分にしたものに等しくなる。したがって、モジュールMOD1は、最初に、受信したクロック信号TS2DELを、時間差値DIF1を半分にしたもので修正する。さらに、モジュールMOD1は、修正されたクロック信号TS2DELとクロック信号TS1間の時間差値DIF3を決定する。次いで、モジュールMOD1は、時間差値DIF3に基づく修正情報COR2(DIF3)の項目を、モジュールMOD2へ送信し、それによって、モジュールMOD2はクロック発生器GEN2を調整することができる。クロック発生器GEN2は、再びクロック信号TS1と同期しているクロック信号TS2OPTを発生する。

【0031】図2および3に基づいて示しているように、モジュールMOD2は、動作の継続中に繰り返し再同期させることもでき、その結果、動作中に徐々に発生

する可能性のあるクロック信号TS1とクロック信号TS2間の位相のずれは、再び除去される。

【0032】モジュールMOD2に加えて、図示していない他のモジュールも、説明した方法で、モジュールMOD1により同期させることができる。さらに、モジュールMOD2は、説明したように、モジュールMOD1と高精度で同期しているので、モジュールMOD2も、モジュールMOD1に従属するモジュールと同期させることが可能である。したがって、「並列回路」を、同期しているモジュール、および同期モジュールによって同期している複数のモジュールとともに形成することができるだけでなく、カスケード構成にすることもできる。

【0033】図4は、図1から知られているモジュールMOD1およびMOD2、さらにモジュールMOD3を示しており、モジュールMOD3では、制御モジュールCPU3、例えば信号プロセッサが、クロック発生器(GEN1またはGEN2)の機能、およびクロック発生器をトリガする論理構成要素(CP1、CP2)の機能を果たしている。このため、制御モジュールCPU3は、本発明により構成されたスレーブプログラムモジュールのプログラムコードを実行する。

【0034】モジュールMOD1は、クロック信号TS1を、送信モジュールSND11を介し、バス回線BUSSND上に送信する。バス回線BUSSNDから、モジュールMOD2は、クロック信号TS1を、受信モジュールRCV21によって受信し、モジュールMOD3は、受信モジュールRCV31によって受信する。次いで、モジュールMOD2は、クロック発生器GEN2をクロック信号TS1と同期させる。モジュールMOD3も、クロック信号TS1で同期して、クロック信号TS3を発生する。しかし、クロック信号TS2およびTS3は、それぞれの時間間隔で位相がずれているが、それは、クロック信号TS1が、バス回線BUSSNDでモジュールMOD2およびMOD3へ送信するために必要なものである。

【0035】モジュールMOD2は、クロック信号TS2を送信モジュールSND21から、バス回線BUSRCV上に、モジュールMOD1に向けて送信し、モジュールMOD1は、クロック信号TS2を受信モジュールRCV11によって受信する。論理構成要素CP1は、修正情報COR(DIF1)を、図1で知られている方法で形成し、送信モジュールSND12から、バス回線CORXでモジュールMOD2へ送信する。モジュールMOD2は、修正情報COR(DIF1)を受信モジュールRCV22によって受信し、クロック発生器GEN2を調整する。

【0036】モジュールMOD3は、クロック信号TS3を送信モジュールSND31から、バス回線BUSRCVでモジュールMOD1へ送信する。論理構成要素C

10

20

30

40

50

P1は、モジュールMOD2と類似したやり方で、修正情報の項目を形成し、送信モジュールSND12を介して、モジュールMOD3へ送信する。モジュールMOD3は、修正情報を受信モジュールRCV32によって受信し、制御モジュールCPU3のクロック発生器機能を調整する。

【0037】モジュールMOD2の受信モジュールRCV22は、修正情報COR(DIF1)を論理構成要素CP2にも渡し、その結果、論理構成要素CP2は、図2に基づいて説明されているように、一方で、修正値COR2を発生し、クロック発生器GEN2の調整を行い、他方、時間差値DIF2を発生し、送信モジュールSND22が、バス回線DIFXでモジュールMOD1へ送信する。

【0038】図4のモジュールは、例示している様々な構成の変形形態のために、様々に構成されているので、「マスタ」モジュール(MOD1)を同期し、さらに「スレーブ」モジュール(MOD2およびMOD3)も同期させる動作モードは、単に、それぞれのモジュール構造と送信および受信モジュールの接続のそれぞれのモードに基づき明らかになる。

【0039】しかし、「スレーブ」機能と「マスタ」機能の両方を実行することのできる、類似したモジュールを使用することも可能である。例えば、説明したようにモジュールMOD3には、スレーブプログラムモジュールを置くだけではなく、マスタプログラムモジュールも置くことができ、その結果、モジュールMOD3は、同期「マスタ」としても機能することができる。

【0040】さらに、モジュールMOD1は、モジュールMOD3と同様に構築し、プログラムコードを実行するためのプロセッサを有することもできるが、モジュールMOD3とは反対に、上部で説明した同期機能を実行することができ、必要な場合には、同期監視機能も実行することができるマスタプログラムモジュールを含むことができる。

【0041】「マスタモジュール」として動作するための適格性、すなわち1つまたは複数のスレーブモジュールを同期させるための適格性は、常に、例えば、問合せ

接点、いわゆるジャンパを構成することによって、それぞれのモジュールを適切なやり方で、規定することができる。ジャンパを構成することに基づいて、それぞれのモジュールは、マスタモジュールとして、またはスレーブモジュールとして使用するかを決定することができる。しかし、それぞれの機能を、動的に、例えばクロック信号を送信する最初のモジュールがマスタモジュールになるということによって決定する、というように対応することもできる。

【図面の簡単な説明】

【図1】本発明による、図で示すモジュールMOD1およびMOD2に基づいて、本発明による同期のシーケンスを示す図である。

【図2】同期の監視、および図1の同期の後の再同期を示す図である。

【図3】図2に対する追加または代替の解決策で、すなわち同期の監視、および図1の同期の後の同様の再同期を示す図である。

【図4】本発明による方法を実行するための装置を示す図である。

【符号の説明】

MOD1、MOD2、MOD3 モジュール

GEN1、GEN2 クロック発生器

CP1、CP2 論理構成要素

CPU3 制御モジュール

RCV11、RCV12、RCV21、RCV22、RCV31、RCV32 受信モジュール

SND11、SND12、SND21、SND22、SND31 送信モジュール

TS1、TS2、TS3 クロック信号

TS2DEL 修正されたクロック信号

TS2OPT クロック信号TS1と同期しているクロック信号

COR(DIF1) 修正情報

DIF2 時間差値

BUSRCV、BUSSND、CORX、バス回線

COR1、COR2 修正値

【図3】

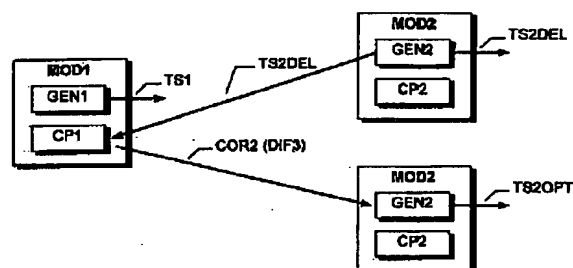


Fig. 3

【図 1】

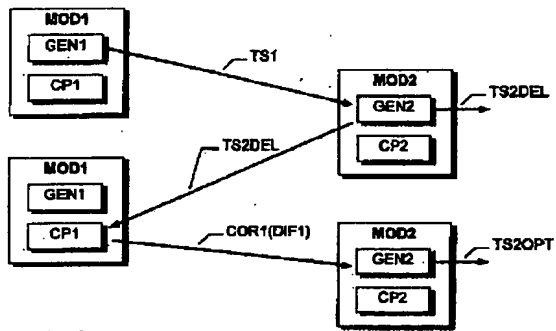


Fig. 1

【図 2】

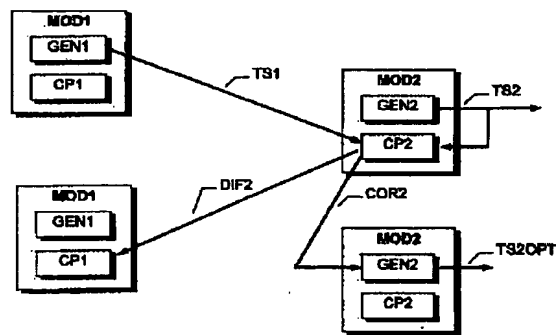


Fig. 2

【図 4】

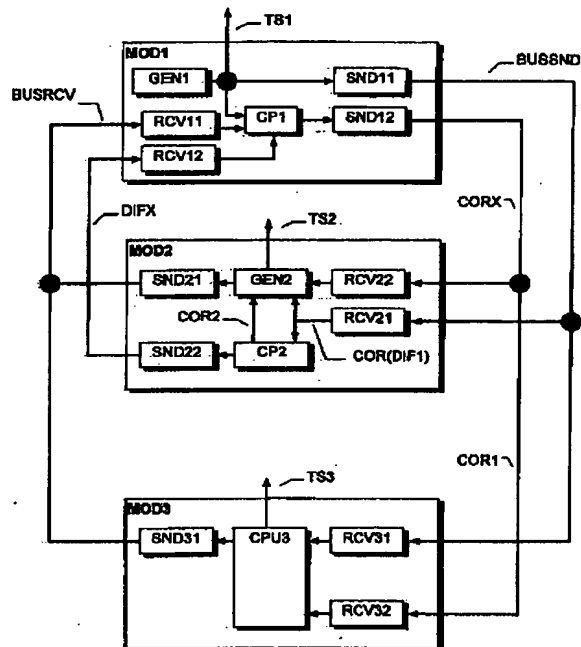


Fig. 4

【外国語明細書】

1. Title of InventionMethod, modules and program modules for synchronization**2. Claims**

1. A method for synchronization of a first and at least a second module (MOD1, MOD2), each having a clock generator (GEN1, GEN2), the method comprising the steps of

- transmitting by the first module (MOD1) a first clock signal (TS1) generated by its clock generator (GEN1) to the at least one second module (MOD2),
- synchronizing (MOD2) the clock generator of the at least one second module (GEN2) with the first clock signal (TS1),
- transmitting by the at least one second module (MOD2) a second clock signal (TS2) generated by the clock generator (GEN2) that is synchronized with the first clock signal (TS1) to the first module (MOD1),
- determining by the first module (MOD1) a (first) time difference value (DIF1) between the first clock signal (TS1) and the at least one second clock signal (TS2), which time difference value is essentially due to the transmission time of the first (TS1) and the at least one second clock signal (TS2) between the first (MOD1) and the at least one second module (MOD2),
- transmitting by the first module (MOD1) an item of information (COR1(DIF1)) about the (first) time difference value (DIF1) to the at least one second module (MOD2) and
- adjusting the clock generator (GEN2) of the at least one second module (MOD2) on the basis of the information (COR1(DIF1)) about the (first) time difference value (DIF1).

2. A method according to Claim 1, wherein the (first) time difference value (DIF1) is halved to adjust the clock generator (GEN2) of the at least one second module (MOD2).

3. A method according to Claim 1, wherein the at least one second module (MOD2) determines a second time difference value (DIF2) from the first and the

second clock signal (TS2) and wherein the at least one second module (MOD2) transmits an item of information about the second time difference value (DIF2) to the first module (MOD1).

4. A method according to Claim 1, wherein the first module (MOD1) transmits the first clock signal (TS1) generated by its clock generator (GEN1) to the at least one second module (MOD2) at predetermined instants in time, in particular cyclically.

5. A method according to Claim 1, wherein the first module (MOD1) retransmits the first clock signal (TS1) generated by its clock generator (GEN1) to the at least one second module (MOD2) at predetermined time intervals, wherein the at least one second module (MOD2) determines a second time difference value (DIF2) from the first and the second clock signal (TS2) and wherein the at least one second module (MOD2) transmits the respective second time difference value (DIF2) to the first module (MOD1) and/or, if the respective second time difference value (DIF2) deviates from a predetermined value (DIF1), it adjusts its clock generator (GEN2) on the basis of the respective second time difference value (DIF2).

6. A method according to Claim 1, wherein the at least one second module (MOD2) retransmits the second clock signal (TS2) generated by its clock generator (GEN2) to the first module (MOD1) at predetermined time intervals, wherein the first module (MOD1) determines a first time difference value (DIF1) between the first clock signal (TS1) and the respective second clock signal (TS2) received, wherein, if the respective first time difference (DIF1) deviates from a predetermined value, the first module (MOD1) transmits an item of information (COR1(DIF1)) about the respective first time difference value (DIF1) to the at least one second module (MOD2) and wherein the at least one second module (MOD2) adjusts its clock generator (GEN2) on the basis of the information about the respective first time difference value (DIF1).

7. A (first) module having a first clock generator (GEN1) for synchronization with

at least one second module having a second clock generator (GEN2),
comprising

- transmitting means (SND11, SND12) for transmitting a first clock signal (TS1) generated by the first clock generator (GEN1) to the at least one second module (MOD2)
- receiving means (RCV11, RCV12) for receiving at least one second clock signal (TS2) generated by the respective second clock generator (GEN2) and synchronized with the first clock signal (TS1) and transmitted by the at least one second module (MOD2), and
- generating means (CP1) for forming a (first) time difference value (DIF1) between the first clock signal (TS1) and the at least one second clock signal (TS2), which time difference value is essentially due to the transmission time of the first (TS1) and of the at least one second clock signal (TS2) between the first (MOD1) and the at least one second module (MOD2),

wherein the transmitting means (SND11, SND12) are designed for sending an item of information (COR1(DIF1)) about the (first) time difference value (DIF1) to the at least one second module (MOD2).

8. A (second) module having a clock generator (GEN2) for synchronization with at least one first module (MOD1), comprising

- receiving means (RCV21, RCV22) for receiving a first clock signal (TS1) sent by the first module,
- synchronizing means (GEN2) for synchronizing its clock generator (GEN2) on the basis of the first clock signal (TS1) and
- transmitting means (SND21, SND22) for sending a second clock signal (TS2) synchronized with the first clock signal (TS1) to the first module (MOD1),

wherein the receiving means (RCV21, RCV22) are designed for receiving an item of information (COR1(DIF1)) sent by the first module about a (first) time difference value (DIF1) formed from the first clock signal (TS1) and the second clock signal (TS2), which time difference value is essentially due to the transmission time of the first (TS1) and of the at least one second clock signal (TS2) between the first (MOD1) and the at least one second module (MOD2), and wherein the

synchronizing means (GEN2) are designed for adjusting the clock generator (GEN2) on the basis of the information about the (first) time difference value (DIF1).

9. A master program module for a (first) module having a first clock generator (GEN1) for synchronization with at least one second module having a second clock generator (GEN2), wherein the master program module contains a program code that can be run by a control means of the first module (MOD1), the master program module further comprising

- transmitting means for sending a first clock signal (TS1) generated by the first clock generator (GEN1) to the at least one second module (MOD2),
- receiving means for receiving at least one second clock signal generated by the second clock generator (GEN2) that is synchronized with the first clock signal (TS1) and sent by the at least one second module (MOD2), and
- generating means for forming a (first) time difference value (DIF1) between first clock signal (TS1) and the at least one second clock signal (TS2), which time difference value is essentially due to the transmission time of the first (TS1) and of the at least one second clock generator (TS2) between the first (MOD1) and the at least one second module (MOD2),

wherein the transmitting means are designed for sending an item of information about the (first) time difference value (DIF1) to the at least one second module (MOD2).

10. A slave program module for a (second) module having a clock generator (CPU3) for synchronization with at least one first module, wherein the slave program module contains a program code that can be run by a control means (CPU3) of the second module, the slave program module further comprising

- receiving means for receiving a first clock signal sent by the first module,
- synchronizing means for synchronizing the clock generator (CPU3) on the basis of the first clock signal (TS1),
- transmitting means for sending a second clock signal (TS3) synchronized with the first clock signal (TS1) to the first module (MOD1),

wherein the receiving means are designed to receive an item of information transmitted by the first module about a (first) time difference value (DIF1) formed from the first clock signal (TS1) and the second clock signal (TS3), which time difference value is essentially due to the transmission time of the first (TS1) and of the at least one second clock signal (TS3) between the first (MOD1) and the at least one second module (MOD3), and wherein the synchronizing means are designed to adjust the clock generator (CPU3) on the basis of the information about the (first) time difference value (DIF1).

11. A device, in particular telecommunication device, containing at least one first and at least one second module (MOD1, MOD2), each having a clock generator (GEN1, GEN2), wherein the at least one first module (MOD1) is designed as a module according to Claim 7 and wherein the at least one second module (MOD2) is designed as a module according to Claim 8.

12. A memory means, in particular computer-readable diskette, on which a master program module according to Claim 9 and/or a slave program module according to Claim 10 are/is stored.

3. Detailed Description of Invention

Field of the Invention

The present invention relates to a method for synchronization of a first and at least a second module, each having a clock generator.

Background of the Invention

In the field of telecommunication and of computer technology, the assemblies of an appliance that are needed for operation can frequently not be disposed on one electronic printed circuit board, but have to be distributed over a plurality of separate modules each having one or more printed circuit boards. In the case of telecommunication systems, in particular, redundant modules are also used for fail-safe reasons. So that the modules operate synchronously, the modules are supplied with a central timing signal, also known as "clock signal". Such a central clock signal is generated by a central clock generator and transmitted to the modules. Provided for the transmission is, for example, a clock channel in a bus to which the modules are connected. The modules operate either directly with the clock signal picked up from the bus or synchronize a separate, local clock generator, present on the respective module, to the central clock signal. In the latter case the local clock generators each generate local clock signals that are slightly phase-shifted in relation to the central clock signal, which shift is due to the transit time of the central clock signal on the bus.

In the case of high-precision appliances operating at high clock frequency, for example in the case of so-called cross connects in the SDH transmission technique (SDH = synchronous digital hierarchy), this phase shift already has an interfering effect on the precision of the appliance. The modules of an appliance then no longer operate with adequate synchronism and, for example, data is overtaken in

the messages that the modules exchange with one another via the abovementioned bus.

Even if software modules are to interact under real-time conditions that are managed in each case by separate operating systems each having a local clock generator, a disturbing asynchronism may occur in the distribution of a central clock signal to the respective operating systems as a result of the transit time of the central clock signal.

The object of the invention is therefore to synchronize with high precision modules that each have a local clock generator.

Summary of the Invention

This object is achieved by a method for synchronization of a first and at least a second module, each having a clock generator, the method comprising the steps of

- transmitting by the first module a first clock signal generated by its clock generator to the at least one second module,
- synchronizing the clock generator of the at least one second module with the first clock signal,
- transmitting by the at least one second module a second clock signal generated by the clock generator that is synchronized with the first clock signal to the first module,
- determining by the first module a (first) time difference value between the first clock signal and the at least one second clock signal, which time difference value is essentially due to the transmission time of the first and the at least one second clock signal between the first and the at least one second module,
- transmitting by the first module an item of information about the (first) time difference value to the at least one second module and
- adjusting the clock generator of the at least one second module on the basis

of the information about the (first) time difference value.

In another aspect of the invention, this object is achieved by a (first) module having a first clock generator for synchronization with at least one second module having a second clock generator, comprising

- transmitting means for transmitting a first clock signal generated by the first clock generator to the at least one second module.
- receiving means for receiving at least one second clock signal generated by the respective second clock generator and synchronized with the first clock signal and transmitted by the at least one second module, and
- generating means for forming a (first) time difference value between the first clock signal and the at least one second clock signal, which time difference value is essentially due to the transmission time of the first and of the at least one second clock signal between the first and the at least one second module,

wherein the transmitting means are designed for sending an item of information about the (first) time difference value to the at least one second module.

In yet another aspect of the invention, the object is achieved by a (second) module having a clock generator for synchronization with at least one first module, comprising

- receiving means for receiving a first clock signal sent by the first module,
- synchronizing means for synchronizing its clock generator on the basis of the first clock signal, and
- transmitting means for sending a second clock signal synchronized with the first clock signal to the first module,

wherein the receiving means are designed for receiving an item of information sent by the first module about a (first) time difference value formed from the first clock signal and the second clock signal, which time difference value is essentially due to the transmission time of the first and of the at least one second clock signal between the first and the at least one second module, and wherein the synchronizing means are designed for adjusting the clock generator on the basis

of the information about the (first) time difference value.

In yet another aspect of the invention, the object is achieved by a master program module for a (first) module having a first clock generator for synchronization with at least one second module having a second clock generator, wherein the master program module contains a program code that can be run by a control means of the first module, the master program module further comprising

- transmitting means for sending a first clock signal generated by the first clock generator to the at least one second module,
- receiving means for receiving at least one second clock signal generated by the second clock generator that is synchronized with the first clock signal and sent by the at least one second module, and
- generating means for forming a (first) time difference value between first clock signal and the at least one second clock signal, which time difference value is essentially due to the transmission time of the first and of the at least one second clock generator between the first and the at least one second module,

wherein the transmitting means are designed for sending an item of information about the (first) time difference value to the at least one second module.

In yet another aspect of the invention, the object is achieved by a slave program module for a (second) module having a clock generator (CPU3) for synchronization with at least one first module, wherein the slave program module contains a program code that can be run by a control means (CPU3) of the second module, the slave program module further comprising

- receiving means for receiving a first clock signal sent by the first module,
- synchronizing means for synchronizing the clock generator on the basis of the first clock signal, and
- transmitting means for sending a second clock signal synchronized with the first clock signal to the first module,

wherein the receiving means are designed to receive an item of information transmitted by the first module about a (first) time difference value formed from

the first clock signal and the second clock signal, which time difference value is essentially due to the transmission time of the first and of the at least one second clock signal between the first and the at least one second module, and wherein the synchronizing means are designed to adjust the clock generator on the basis of the information about the (first) time difference value.

In yet another aspect of the invention, the object is achieved by a device, in particular a telecommunication device, containing at least one first and at least one second module, each having a clock generator, wherein the at least one first module comprises

- transmitting means for transmitting a first clock signal generated by the first clock generator to the at least one second module.
- receiving means for receiving at least one second clock signal generated by the respective second clock generator and synchronized with the first clock signal and transmitted by the at least one second module, and
- generating means for forming a (first) time difference value between the first clock signal and the at least one second clock signal, which time difference value is essentially due to the transmission time of the first and of the at least one second clock signal between the first and the at least one second module,

wherein the transmitting means are designed for sending an item of information about the (first) time difference value to the at least one second module and wherein the at least one second module comprises

- receiving means for receiving a first clock signal sent by the first module,
- synchronizing means for synchronizing its clock generator on the basis of the first clock signal, and
- transmitting means for sending a second clock signal synchronized with the first clock signal to the first module,

wherein the receiving means are designed for receiving an item of information sent by the first module about a (first) time difference value formed from the first clock signal and the second clock signal, which time difference value is essentially due to the transmission time of the first and of the at least one second clock signal

between the first and the at least one second module, and wherein the synchronizing means are designed for adjusting the clock generator on the basis of the information about the (first) time difference value.

In this connection, the invention is based on the idea that a first module, referred to for simplicity as master module transmits a "master clock signal" generated by its clock generator to a module, referred to below as slave module for simplicity, and possibly to further slave modules. The slave modules then synchronize their respective clock generators to the master clock signal and transmit "slave clock signals" generated by the now synchronized clock generators to the master module. The master module consequently receives a feedback for its synchronization. The master module then determines a time difference value between the master clock signal and the respective slave clock signal. This time difference is essentially due to the signal transit time necessary for the transmission of the master clock signal to the respective slave module and to the signal transit time needed for the transmission of the respective slave clock signal from the respective slave module to the master module. Normally, both signal transit times are equally long because of the symmetrical transmission paths between master module and slave module, with the result that the respective time difference value represents roughly half the signal transit time. The master module then transmits items of information about the respective time difference values to the slave module or slave modules, which adjust their clock generator on the basis of these items of information. The phase differences between master clock signal and the slave clock signals that are due to the respective signal transit times of the master clock signal to the slave modules are consequently reduced to an extent that is no longer troublesome and, under optimum conditions, are completely eliminated, with the result that the master module and the slave modules are optimally synchronized with one another.

Further advantageous refinements of the invention emerge from the dependent claims.

In a preferred embodiment of the invention, either the master module or the slave modules halves/half the respective time difference value to determine the signal transit time and, consequently, the respective phase difference between master clock signal and slave clock signal to be corrected. If equally long signal transit times between master module and slave module are not involved, for example because of different transmission paths, more elaborate algorithms can be used to determine the respective phase difference to be corrected.

The master module may transmit the master clock signal continuously or, alternatively, only at predetermined time instants to the slave modules, for example in a cyclically recurring manner, only once, for example, in connection with a start synchronization procedure, or at irregular intervals, for example in times of low load on the master module and/or on the slave modules.

In a further variant of the invention, the slave modules repeatedly transmit their respective slave clock signals to the master module, with the result that the latter can determine time difference values between the master clock signal and the respective slave clock signal and is thus able to monitor the synchronous operation of the slave modules with the master module. If a slave clock signal of a slave module is asynchronous with the master clock signal, the master module can again send a correction value to the respective slave module to adjust its respective clock generator.

Expediently, the master module repeatedly transmits the master clock signal to the slave modules again so that the latter are able to determine, in one variant of the invention, time difference values between their respective slave clock signal and the master clock signal. This then results in various possibilities:

The slave modules transmit the respective time difference values to the master module so that the latter can monitor the success of a synchronization procedure or can determine deviations possibly occurring during operation between master clock signal and the respective slave clock signals. The master module can then

optionally start the above-described synchronization procedure again to synchronize the slave clock signals.

The slave modules can, however, also adjust their respective clock generators on their own initiative on the basis of the time difference values they have determined.

The invention is explained below on the basis of exemplary embodiments with the aid of the figures.

Figure 1 shows a sequence of a synchronization according to the invention on the basis of diagrammatically shown modules MOD1 and MOD2 according to the invention. To clarify the synchronization sequence, the modules MOD1 and MOD2 are each shown in duplicate. The modules MOD1 and MOD2 are, for example, electronic printed circuit boards of a computer system or of a telecommunication junction, for example a SDH cross connect (SDH = synchronous digital hierarchy). The modules MOD1 and MOD2 are interconnected via a bus, which is not shown and on which the modules MOD1 and MOD2 can send one another items of information. The transmitting and

receiving modules necessary for this purpose are explained in greater detail in Figure 4. The modules MOD1 and MOD2 may also be software modules that each synchronize, for example, a local operating system.

A clock generator GEN1 and a logic component CP1 are shown in the module MOD1 and a clock generator GEN2 and a logic component CP2 in the module MOD2. The clock generators GEN1 and GEN2 each contain, for example, a quartz oscillator for generating a basic clock signal and a downstream electronic system, for example having a resettable counter, for generating an initial clock signal from the basic clock signal. Such circuits are known per se. The clock generator GEN1 generates, in this way, a clock signal TS1 and the clock generator GEN2 generates a clock signal TS2. The logic components CP1 and CP2 each comprise a comparator assembly for determining a phase difference between two clock signals and a generating assembly for forming a correction value with which the clock generator GEN2 can be adjusted. The logic components CP1 and CP2 may, for example, be signal processors or integrated circuits. The modules MOD1 and MOD2 may also comprise further functional assemblies, for example transmitters and/or receiving assemblies for transmitting and receiving user data telegrams, for example from SDH containers. Furthermore, the modules MOD1 and MOD2 and their functional components may be implemented as a whole by a processor that has a built-in clock generator and runs a program code of program modules according to the invention.

At the beginning of synchronization, the module MOD1 transmits the clock signal TS1 generated by its clock generator GEN1 to the module MOD2. The latter synchronizes its clock generator GEN2 with the clock signal TS1. Because, however, a certain transmission time is necessary for the transmission of the clock signal TS1 from the module MOD1 to the module MOD2 and, in addition, the operation of synchronizing the clock generator GEN2 also requires a certain processing time, the clock signal TS2DEL now generated by the clock generator GEN2 has a phase difference with respect to the clock signal TS1.

The module MOD2 transmits the clock signal TS2DEL to the module MOD1. Transmission time is likewise needed for this purpose. The module MOD1 determines a time difference value DIF1 between the clock signal TS1 and the clock signal TS2DEL it receives. The time difference value DIF1 is essentially due to the transmission time of the clock signal TS1 from the module MOD1 to the module MOD2 and the transmission time of the clock signal TS2DEL from the module MOD2 to the module MOD1. Since the transmission paths between the modules MOD1 and MOD2 are equally long in the present case, the logic component CP1 halves the time difference value DIF1 and forms an item of correction information COR(DIF1). The module MOD1 then transmits the correction information COR(DIF1) to the module MOD2, which adjusts its clock generator GEN2 with the correction information COR(DIF1). The clock generator GEN2 then generates a clock signal TS2OPT that is synchronous with the clock signal TS1. If the transmission paths between the modules MOD1 and MOD2 are not equally long, the logic component CP1 may also use other, more complex algorithms to form the correction value COR1.

The correction information COR(DIF1) may contain, for example, a digitally encoded transmitted starting value or a resettable counter contained in the clock generator GEN2. It is also possible that the module MOD1 corrects the clock signal TS1 forward in phase by the halved time difference value DIF1 between the clock signal TS1 and the clock signal TS2DEL and transmits the clock signal TS1 "advanced" in this way as correction information COR(DIF1) to the module MOD2.

Furthermore, the module MOD1 may transmit the time difference value DIF1 between the clock signal TS1 and the clock signal TS2DEL also in unprocessed form, that is to say as correction information COR(DIF1) to the module MOD2 without the halving described above. The module MOD2 then halves the time difference value DIF1 and thus adjusts its clock generator GEN2. Furthermore, the module MOD2 may incorporate, for example, also an offset value in the

correction information COR(DIF1). Such an offset value may represent, for example, the time that the clock generator GEN2 requires for the adjustment operation or that the module MOD2 needs to receive and read in the correction value COR1.

Let the sequence shown in Figure 2 be preceded by the synchronization shown on the basis of Figure 1. The clock generators GEN1 and GEN2 generate clock signals TS1 and TS2, respectively, that are synchronous under optimum conditions, for example in the case of interference-free clock generators GEN1 and GEN2 operating in exactly the same way. The module MOD1 transmits the clock signal TS1 to the logic component CP2 of the module MOD2. Furthermore, the logic component CP2 receives the clock signal TS2 from the clock generator GEN2. From the clock signal TS1 delayed by the transmission from the module MOD1 and the local clock signal TS2, the logic component CP2 forms a time difference value DIF2 that, given synchronous clock signals TS1 and TS2, are equal to half the time difference value DIF1.

The module MOD2 transmits the time difference value DIF2 to the module MOD1 so that the latter can detect whether the clock signal TS2 is synchronous with the clock signal TS1. If this is not the case, the module MOD1 may initialize the synchronization operation shown on the basis of Figure 1 again and/or signal the interference to a coordinating control for the modules MOD1 and MOD2.

In the present case, the logic component CP2 forms a correction value COR2 from the time difference value DIF2 and the time difference value DIF1 previously received and stored by it. In this connection, the logic component CP2 subtracts, for example, from the time difference value DIF2 half the time difference value DIF1. To form the correction value COR2, the logic component CP2 may also take into account further correction factors, for example a time that is needed to adjust the clock generator GEN2. The logic component CP2 supplies the correction value COR2 to the clock generator GEN2, which then adjusts itself again and, consequently, generates a clock signal TS2OPT that is synchronous

with the clock signal TS1.

Let the sequence shown in Figure 3 also be preceded by the synchronization shown on the basis of Figure 1. However, in Figure 3, the clock signal TS2DEL generated by the clock generator GEN2 is no longer precisely synchronous with the clock signal TS1 since, for example, the module MOD2 had no power supply for a short time. The module MOD2 transmits the clock signal TS2DEL to the module MOD1. The clock signal TS2DEL arrives with a time shift due to the transmission. Given symmetrical transmission paths, said shift is equal, as explained on the basis of Figure 1, to half the time difference value DIF1. The module MOD1 therefore first corrects the received time signal TS2DEL by half the time difference value DIF1. Furthermore, the module MOD1 determines a time difference value DIF3 between the corrected clock signal TS2DEL and the clock signal TS1. The module MOD1 then sends an item of correction information COR2(DIF3) based on the time difference value DIF3 to the module MOD2 so that the latter can adjust its clock generator GEN2. The clock generator GEN2 then again generates a clock signal TS2OPT that is synchronous with the clock signal TS1.

As shown on the basis of Figures 2 and 3, the module MOD2 may also be repeatedly resynchronized during continuous operation so that phase deviations between the clock signals TS1 and TS2 that may creep in during operation are eliminated again.

In addition to the module MOD2, further modules, not shown, can also be synchronized by the module MOD1 in the manner explained. Furthermore, it is possible that the module MOD2 also synchronizes a module depending on it since the module MOD2 is, as explained, very precisely synchronized with the module MOD1. Not only "parallel circuits" can therefore be formed with a synchronizing module and a plurality of modules synchronized by it, but also cascaded arrangements.

Figure 4 shows the modules MOD1 and MOD2 known from Figure 1 and a further module MOD3 in which a control module CPU3, for example a signal processor, fulfils the functions of a clock generator (GEN1 or GEN2) and the functions of the logic component (CP1, CP2) triggering the clock generator. For this purpose, the control module CPU3 runs the program code of a slave program module designed according to the invention.

The module MOD1 transmits its clock signal TS1 via a transmitting module SND11 on a bus line BUSSND. From the latter, the module MOD2 receives the clock signal TS1 with the aid of a receiving module RCV21 and the module MOD3 receives it with the aid of a receiving module RCV31. The module MOD2 then synchronizes its clock generator GEN2 with the clock signal TS1. The module MOD3 also synchronizes with the clock signal TS1 and generates a clock signal TS3. However, the clock signals TS2 and TS3 are phase-shifted by the respective time intervals that the clock signal TS1 need for the transmission on the bus line BUSSND to the modules MOD2 and MOD3.

The module MOD2 transmits the clock signal TS2 with the aid of its transmitting module SND21 on a bus line BUSRCV for the module MOD1, which receives the clock signal TS2 with the aid of a receiving module RCV11. The logic component CP1 forms the correction information COR(DIF1) in a manner known from Figure 1 and transmits it with the aid of a transmission module SND12 on a bus line CORX to the module MOD2. The latter receives the correction information COR(DIF1) with the aid of a receiving module RCV22 and adjusts its clock generator GEN2

The module MOD3 sends the clock signal TS3 with the aid of a transmitting module SND31 on the bus line BUSRCV to the module MOD1. The logic component CP1 forms, in an analogous way as for the module MOD2, an item of correction information and transmits it via the transmission module SND12 to the module MOD3. The latter receives the correction information with the aid of a receiving module RCV32 and adjusts the clock generator function of its control

module CPU3.

The receiving module RCV22 of the module MOD2 passes on the correction information COR(DIF1) also to the logic component CP2 so that the latter can, as explained on the basis of Figure 2, generate, on the one hand, the correction value COR2 for the clock generator GEN2 for the purpose of adjusting it and, on the other hand, the time difference value DIF2 that a transmitting module SND22 sends on a bus line DIFX to the module MOD1.

The modules in Figure 4 are differently configured to illustrate different design variants so that their mode of operation as synchronizing "master module (MOD1) and also as "slave" modules (MOD2 and MOD3) to be synchronized emerges simply on the basis of the respective module construction and the respective mode of connection of the transmitting and receiving modules.

However, it is also possible that similar modules are used that can perform both a "slave" function and a "master" function. For example, not only a slave program module may be present, as explained, on the module MOD3, but also a master program module so that the module MOD3 may also act as synchronization "master".

Furthermore, the module MOD1 may also be constructed like the module MOD3 and have a processor for running a program code, but may contain, in contrast to module MOD3, a master program module that can perform the synchronization function explained above and, if necessary, also a synchronization monitoring function.

An eligibility to operate as "master module", that is to say an eligibility to synchronize one or more slave modules, may be permanently stipulated by, for example, configuring an interrogation contact, a so-called jumper, on the respective module in a suitable way. On the basis of the configuration of the jumper, the respective module can determine whether it is being used as master

module or as slave module. However, provision may also be made that the respective function is determined dynamically, for example, by that module becoming the master module that is the first module to transmit its clock signal.

4. Brief Description of Drawings

- Figure 1 shows a sequence of a synchronization according to the invention on the basis of diagrammatically shown modules MOD1 and MOD2 according to the invention,
- Figure 2 shows monitoring of the synchronization and a resynchronization subsequent to the synchronization in Figure 1,
- Figure 3 shows a supplementary or alternative solution to Figure 2, that is to say monitoring of the synchronization and a resynchronization, likewise subsequent to the synchronization in Figure 1,
- Figure 4 shows an arrangement for performing the method according to the invention.

Fig. 1

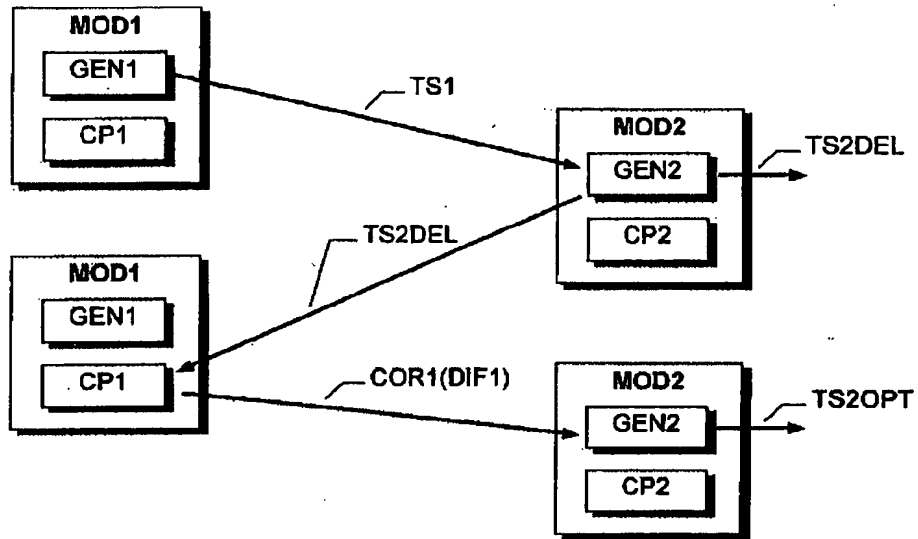


Fig. 1

Fig. 2

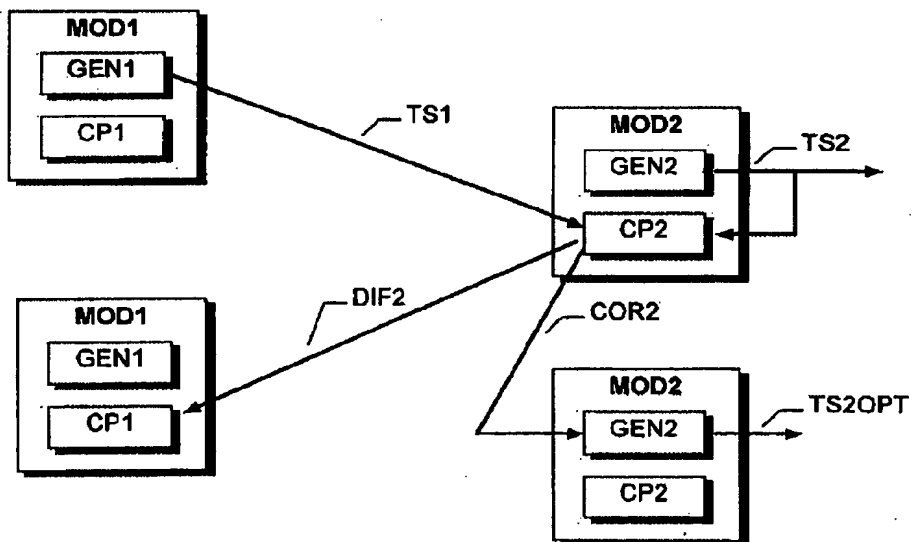


Fig. 2

Fig. 3

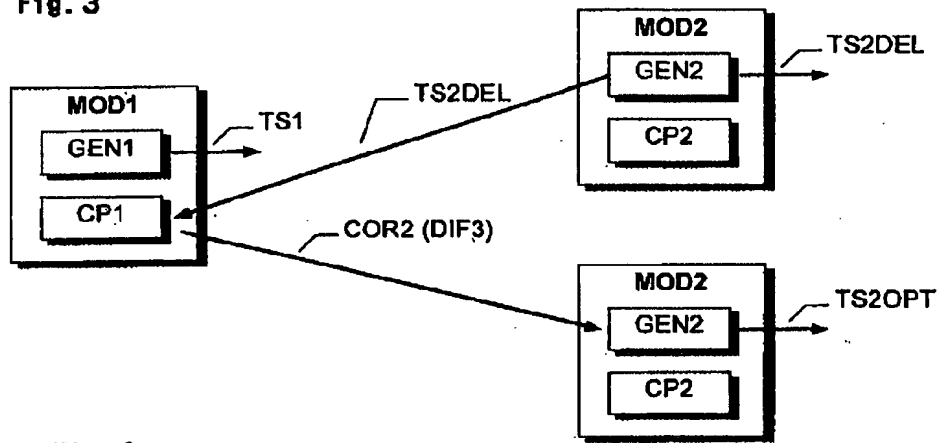


Fig. 3

Fig. 4

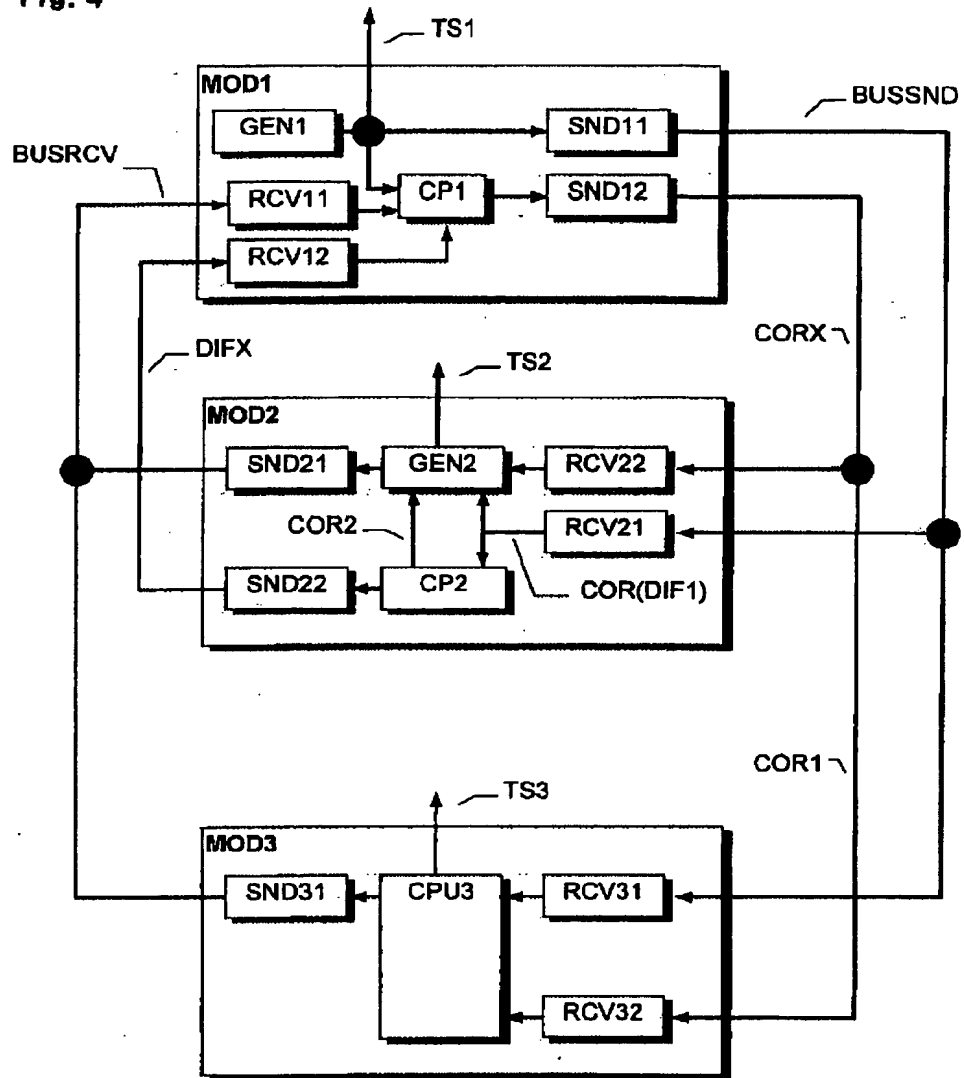


Fig. 4

1. Abstract

The present invention relates to a method for the synchronization of a first and a least one second module, each having a clock generator. The invention furthermore relates to such modules, a master program module, a slave program module and a device for this purpose.

It is proposed that the first module (MOD1) transmits a first clock signal (TS1) generated by its clock generator (GEN1) to the second module (MOD2), which synchronizes its clock generator (GEN2) with the first clock signal (TS1). The second module (MOD2) transmits a second clock signal (TS2) generated by its clock generator that is synchronized with the first clock signal (TS1) to the first module (MOD1), which determines a time difference value (DIF1) between the first clock signal and the second clock signal, which time difference value is essentially due the transmission time of the first and the second clock signal between the first and the second module. The first module transmits an item of information (COR1(DIF1)) about the (first) time difference value (DIF1) to the second module (MOD2), which adjusts its clock generator on the basis of said information.

2. Representative Drawing

Fig. 1